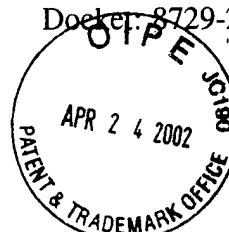


IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Jung-Bae LEE et al,

Docket No. 8729-214 (SS-15661-US)

Serial No.: 10/081,546

COPY OF PAPERS
ORIGINALLY FILED

Filed: February 20, 2002

For: DATA INPUT CIRCUIT AND METHOD FOR SYNCHRONOUS
SEMICONDUCTOR MEMORY DEVICE

3 / Priority
Doc.
E. Willis
5-28-02

Assistant Commissioner for Patents
Washington, D.C. 20231

SUBMISSION OF PRIORITY DOCUMENT

Sir:

Attached herewith are certified copy of Korean Application Nos. 2001-44065 filed 21 July 2001 and 2001-24044 filed 3 May 2001 from which priority is claimed in the above-identified application under 35 U.S.C. §119.

Respectfully submitted,

F. CHAU & ASSOCIATES, LLP

By:


Frank Chau
Reg. No. 34,136
Attorney for Applicant(s)

F. CHAU & ASSOCIATES, LLP
1900 Hempstead Turnpike, Suite 501
East Meadow, NY 11554
Tel.: (516) 357-0091
Fax: (516) 357-0092
FC:mel

CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail, postpaid in an envelope, addressed to the: Assistant Commissioner for Patents, Washington, D.C. 20231 on April 17, 2002.

Dated: 4/17/02

Frank Chau



대한민국 특허청

KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 44065 호
Application Number PATENT-2001-0044065

출원년월일 : 2001년 07월 21일
Date of Application JUL 21, 2001

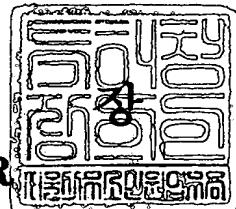
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002년 02월 22일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0011
【제출일자】	2001.07.21
【국제특허분류】	G11C
【발명의 명칭】	동기형 반도체 메모리 장치의 데이터 입력회로 및 데이터 입력 방법
【발명의 영문명칭】	Datainput circuit and data input method for synchronous semiconductor memory device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	이정배
【성명의 영문표기】	LEE, Jung Bae
【주민등록번호】	670227-1046533
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 청명주공아파트 407 동 1001호
【국적】	KR
【발명자】	
【성명의 국문표기】	나원균
【성명의 영문표기】	LA,One Gyun
【주민등록번호】	700607-1482118

【우편번호】 442-470
【주소】 경기도 수원시 팔달구 영통동 황골마을 풍림아파트
232동 1103호
【국적】 KR
【우선권주장】
【출원국명】 KR
【출원종류】 특허
【출원번호】 10-2001-0024044
【출원일자】 2001.05.03
【증명서류】 첨부
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인
이영필 (인) 대리인
정상빈 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 33 면 33,000 원
【우선권주장료】 1 건 26,000 원
【심사청구료】 27 항 973,000 원
【합계】 1,061,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통 2. 우선권증명서류 및
동 번역문_1통

【요약서】

【요약】

데이터가 데이터 스트로브 신호에 동기되어 입력된 후, 클락신호에 재동기되어 메모리 어레이로 기입되는 경우, 상기 데이터 스트로브 신호와 클락신호 사이에 타이밍 마진을 증가시키는 데이터 입력회로 및 이에 관한 방법이 개시된다.

상기 입력회로는 데이터 스트로브 신호에 응답하여 $2^{(N+1)}$ (여기서 N은 자연수이다.)비트 시리얼 데이터를 $2^{(N+1)}$ 비트 병렬 데이터로 출력하는 변환회로를 구비하며, 상기 $2^{(N+1)}$ 비트 병렬 데이터 각각은 상기 데이터 스트로브 신호의 2^N 클락에 상응하는 유효 데이터 윈도우를 가지며, 상기 $2^{(N+1)}$ 비트 병렬 데이터는 내부클락에 응답하여 상기 내부 클락을 2^N 분주한 클락에 응답하여 출력된다.

상기 변환회로는 상기 데이터 스트로브 신호 및 상기 데이터 스트로브 신호를 2^N 내지 2 분주한 분주 신호들을 논리 연산하여 $2^{(N+1)}$ 개의 내부 스트로브 신호들을 발생하는 논리 회로, 상기 내부 스트로브 신호들에 응답하여 상기 $2^{(N+1)}$ 비트 시리얼 데이터를 상기 $2^{(N+1)}$ 비트 병렬 데이터로 각각 래치하는 제 1래치회로, 상기 $2^{(N+1)}$ 비트 시리얼 데이터의 $2^{(N+1)}$ 번째 데이터를 래치하는 상기 내부 데이터 스트로브 신호에 응답하여 상기 제 1래치회로의 출력신호들을 래치하는 제 2래치회로 및 상기 제 1클락에 응답하여 상기 $2^{(N+1)}$ 비트 병렬 데이터를 출력하는 출력회로를 구비한다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

동기형 반도체 메모리 장치의 데이터 입력회로 및 데이터 입력 방법{Data input circuit and data input method for synchronous semiconductor memory device}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

도 1a는 종래의 동기식 반도체 메모리 장치의 블락 다이어그램이다.

도 1b는 도 1a의 데이터 레지스터의 상세한 회로도이다.

도 2는 도 1a의 반도체 메모리 장치의 데이터 기입 동작의 타이밍 다이어그램을 나타낸다.

도 3은 본 발명의 제 1실시예에 따른 데이터 프리페치 개요의 블락 다이어그램을 나타낸다.

도 4는 도 3의 데이터 입력회로를 나타내는 회로도이다.

도 5는 도 4의 데이터 입력회로의 기입 동작의 타이밍 다이어그램을 나타낸다.

도 6은 본 발명의 제 2실시예에 따른 데이터 프리페치 스킴을 나타내는 블락 다이어그램이다.

도 7은 도 6의 최소 tDQSS 및 최대 tDQSS에 따른 데이터 스트로브 버퍼 및 데이터입력버퍼의 입/출력 파형의 타이밍 다이어그램을 나타낸다.

도 8은 도 7의 데이터 입력회로를 나타내는 회로도이다.

도 9는 도 8의 시리얼 입력-병렬 출력회로, 제 1래치회로 및 제 2래치회로의 출력 데이터의 타이밍 다이어그램을 나타낸다.

도 10은 도 6의 데이터 프리페치 개요의 타이밍 다이어그램을 나타낸다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 동기식 반도체 메모리 장치에 관한 것으로, 보다 상세하게는 N비트의 유효 데이터를 안정적으로 폐치할 수 있는 데이터 입력회로 및 데이터 입력방법에 관한 것이다.

<14> DRAM의 동작 속도를 향상시키기 위하여 외부의 시스템 클럭에 동기되어 동작하는 싱크로너스 DRAM(synchronous DRAM; 이하 SDRAM'이라 한다.)이 개발되었다.

<15> 또한 데이터 처리 속도를 더욱 향상시키기 위하여 한 클락의 상승 예지 및 하강에지에 동기되어 데이터를 처리하는 이중 데이터 율(Double Data Rate; 이하 'DDR'이라 한다.) SDRAM과 Rambus DRAM이 개발되었다.

<16> DDR SDRAM의 경우 데이터가 고속으로 전송되므로 소스 싱크로너스 인터페이스(source synchronous interface)를 사용한다. 이는 데이터의 입출력이 데이터

소스에서 데이터와 같이 만들어진 데이터 스트로브 신호(data strobe signal: 이하 'DQS'라 한다.)에 동기되어 전달됨을 의미한다.

<17> 도 1a는 종래의 동기식 반도체 메모리 장치의 블락 타이밍 다이어그램이다. 도 1b는 도 1a의 데이터 레지스터의 상세한 회로도이다. 도 2는 도 1a의 반도체 메모리 장치의 데이터 기입 동작을 나타내는 타이밍 다이어그램이다. 도 1a, 도 1b 및 도 2의 상세한 설명은 한국 출원번호 97-9191 및 미국 특허 등록 번호 6,078,546에 상세히 기재되어 있으므로 이에 대한 상세한 설명은 생략한다.

<18> 결론적으로 종래 기술은 외부 클럭신호(CLK)와 데이터 스트로브 신호(DQS)의 타이밍 마진을 나타내는 규격(tDQSS), 즉, 외부 클럭신호(CLK)의 상승 에지로부터 데이터 스트로브 신호(DQS)가 첫 번째 논리 '로우'에서 논리 '하이'로 천이 (transition)할 때까지의 시간이 작으므로 외부 클럭신호(CLK)와 데이터 스트로브 신호(DQS)사이의 재동기의 타이밍마진이 작아서 시스템의 구성에 어려움이 있었다

【발명이 이루고자 하는 기술적 과제】

<19> 따라서 본 발명이 이루고자 하는 기술적인 과제는 데이터가 데이터 스트로브 신호에 동기되어 입력된 후 외부 클럭신호에 재동기되어 메모리 어레이로 기입되는 경우, 상기 데이터 스트로브 신호와 외부 클럭신호 사이에 타이밍 마진을 증가시켜 안정적으로 N 비트의 데이터를 패치하는 데이터 입력회로 및 데이터 입력방법을 제공하는 것이다.

【발명의 구성 및 작용】

<20> 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 클락의 상승에지와 상기 클락의 하강에지에 동기되어 데이터를 억세스하는 반도체 메모리 장치는 데이터 스트로브 신호에 응답하여 $2^{(N+1)}$ (여기서 N은 자연수이다.)비트 시리얼 데이터를 $2^{(N+1)}$ 비트 병렬 데이터로 출력하는 변환회로를 구비하며, 상기 $2^{(N+1)}$ 비트 병렬 데이터 각각은 상기 데이터 스트로브 신호의 $2^{(N)}$ 클락에 상응하는 유효 데이터 윈도우를 가지며, 상기 $2^{(N+1)}$ 비트 병렬 데이터는 제 1클락에 응답하여 출력된다.

<21> 상기 변환회로는 논리회로, 제 1래치회로, 제 2래치회로 및 출력회로를 구비한다. 상기 논리회로는 상기 데이터 스트로브 신호 및 상기 데이터 스트로브 신호를 $2^{(N)}$ 내지 2 분주한 분주 신호들을 논리 연산하여 $2^{(N+1)}$ 개의 내부 스트로브 신호들을 발생한다.

<22> 상기 제 1래치회로는 상기 내부 스트로브 신호들에 응답하여 상기 $2^{(N+1)}$ 비트 시리얼 데이터를 상기 $2^{(N+1)}$ 비트 병렬 데이터로 각각 래치하며, 상기 제 2래치회로는 상기 $2^{(N+1)}$ 비트 시리얼 데이터의 $2^{(N+1)}$ 번째 데이터를 래치하는 상기 내부 데이터 스트로브 신호에 응답하여 상기 제 1래치회로의 출력신호들을 래치한다.

<23> 상기 출력회로는 상기 제 1클락에 응답하여 상기 $2^{(N+1)}$ 비트 병렬 데이터를 데이터 버스라인으로 출력한다. 상기 반도체 메모리 장치는 상기 제 1클락을

발생하는 분주회로를 더 구비하며, 상기 분주 회로는 내부클락에 응답하여 상기 내부 클락을 $2^{(N)}$ 분주한다.

<24> 기술적 과제를 달성하기 위한 본 발명의 일실시예에 따른 반도체 메모리 장치에 데이터를 입력하는 방법은 (a) 데이터 스트로브 신호 및 상기 데이터 스트로브 신호를 $2^{(N)}$ (여기서 N은 자연수)내지 2 분주한 분주 신호들을 논리 연산하여 $2^{(N+1)}$ 개의 내부 데이터 스트로브 신호들을 생성하는 단계, (b) 상기 내부 데이터 스트로브 신호들에 응답하여 $2^{(N+1)}$ 비트 시리얼 데이터를 $2^{(N+1)}$ 비트 병렬 데이터로 각각 래치하는 단계 및 (c) 제 1클락에 응답하여 상기 $2^{(N+1)}$ 비트의 병렬 데이터를 출력하는 단계를 구비한다.

<25> 상기 (b) 단계는 상기 $2^{(N+1)}$ 비트 시리얼 데이터의 $2^{(N+1)}$ 번째 데이터를 래치하는 상기 내부 데이터 스트로브 신호에 응답하여 상기 $2^{(N+1)}$ 비트 병렬 데이터를 정열하는 단계를 더 구비하며, 상기 $2^{(N+1)}$ 비트의 병렬 데이터 각각은 상기 데이터 스트로브 신호의 $2^{(N)}$ 클락에 상응하는 유효 데이터 윈도우를 갖으며, 상기 제 1클락은 내부 클락을 $2^{(N)}$ 분주한 클락이다.

<26> 또한 본 발명의 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 클락의 상승에지와 상기 클락의 하강에지에 동기되어 데이터를 억세스하는 반도체 메모리 장치는 분주회로, 다수개의 스트로브 펄스 발생회로, 제 1래치회로, 제 2래치회로 및 출력회로를 구비한다.

<27> 상기 분주회로는 외부에서 입력되는 제 1데이터 스트로브 신호에 응답하여 상기 제 1데이터 스트로브 신호를 분주한 제 2데이터 스트로브신호를 발생하며,

상기 다수개의 스트로브 펠스 발생회로는 상기 제 1데이터 스트로브 신호와 상기 제 2데이터 스트로브 신호를 논리 조합하여 다수개의 스트로브 펠스신호를 발생 한다.

<28> 상기 다수개의 제 1래치회로는 상기 다수개의 스트로브 펠스신호 각각에 동 기되어, 수신되는 다수개의 시리얼 데이터를 순차적으로 각각 래치하며, 상기 제 2래치회로는 상기 소정의 스트로브 펠스 신호에 동기되어 상기 제 1래치회로에 저장된 데이터를 수신하여 저장한다.

<29> 상기 출력회로는 소정의 클락신호에 응답하여 상기 제 2래치회로에 저장된 데이터를 수신하고, 상기 수신된 데이터를 동시에 데이터 버스라인으로 전송한다

<30> 본 발명의 기술적 과제를 달성하기 위한 본 발명의 또 다른 실시예에 따른 클락의 상승에지와 상기 클락의 하강에지에 동기되어 데이터를 억세스하는 반도체 메모리 장치는 제 1분주회로, 제 2분주회로, 수개의 스트로브 펠스신호 발생 회로,

<31> 복수개의 제 1래치회로, 복수개의 제 2래치회로 및 출력회로를 구비한다. 상기 제 1분주회로는 외부에서 입력되는 제 1데이터 스트로브 신호에 응답하여 상기 제 1데이터 스트로브 신호를 분주한 제 2데이터 스트로브신호를 출력하며, 상기 제 2분주회로는 외부에서 입력되는 제 1클락신호에 응답하여 상기 제 1클락 신호를 분주한 제 2클락신호를 출력한다.

<32> 상기 다수개의 스트로브 펠스신호 발생회로는 상기 제 1데이터 스트로브 신호와 상기 제 2데이터 스트로브 신호를 논리 조합하여 다수개의 스트로브 펠스신호를 발생한다.

<33> 상기 제 1래치회로는 상기 다수개의 스트로브 펠스신호 각각에 동기되어, 수신되는 다수개의 시리얼 데이터를 순차적으로 각각 래치하며, 상기 제 2래치회로는 상기 제 1래치회로의 출력신호를 수신하여 저장하고, 상기 출력회로는 상기 제 2클락신호에 응답하여 상기 제 2래치회로의 출력신호를 동시에 데이터 버스 라인으로 전송한다.

<34> 상기 기술적 과제를 달성하기 위한 본 발명의 또 다른 실시예에 따른 클락의 상승에지와 상기 클락의 하강에지에 동기되어 데이터를 억세스하는 반도체 메모리 장치는 제 1분주회로, 제 2분주회로, 스트로브 펠스 발생회로, 제 1래치회로, 제 2래치회로 및 출력회로를 구비한다.

<35> 상기 제 1분주회로는 외부에서 입력되는 제 1데이터 스트로브 신호에 응답하여 상기 제 1데이터 스트로브 신호를 분주한 제 2데이터 스트로브신호를 출력하며, 상기 제 2분주회로는 외부에서 입력되는 제 1클락신호에 응답하여 상기 제 1클락 신호를 분주한 제 2클락신호를 출력한다.

<36> 상기 다수개의 스트로브 펠스 발생회로는 상기 제 1데이터 스트로브 신호와 상기 제 2데이터 스트로브 신호를 논리 조합하여 다수개의 스트로브 펠스신호를 발생한다.

<37> 상기 제 1래치회로는 상기 다수개의 스트로브 펠스신호 각각에 동기되어, 수신되는 다수개의 시리얼 데이터를 순차적으로 각각 래치하는 다수개의 래치들을 구비하며, 상기 제 2래치회로는 상기 다수개의 시리얼 데이터 중에서 최종적으로 수신된 데이터를 래치하기 위하여 인가되는 소정의 스트로브 펠스신호에 동기되어, 상기 제 1래치회로의 출력신호를 동시에 수신하여 래치하는 다수개의 래치들을 구비한다.

<38> 상기 출력회로는 상기 제 2클락신호에 응답하여 상기 제 2래치회로의 출력신호와 최종적으로 수신된 데이터를 래치하는 상기 제 1래치회로의 출력신호를 동시에 데이터 버스라인으로 전송한다.

<39> 상기 기술적 과제를 달성하기 위한 데이터 입력회로는 데이터 스트로브 신호의 상승에지와 하강에지에 동기되어 시리얼 데이터를 병렬 데이터로 변환하는 변환회로; 상기 데이터 스트로브 신호와 내부 클럭신호를 수신하고, 상기 데이터 스트로브 신호의 인에이블 구간에서 상기 데이터 스트로브 신호의 펠스의 수를 계수하여 대응하는 카운트 신호를 출력하는 데이터 스트로브 카운터; 상기 카운트 신호에 응답하여 상기 변환회로의 출력 데이터를 수신하여 래치하는 제 1래치회로; 및 상기 내부 클락신호에 응답하여 상기 제 1래치회로의 출력 데이터를 수신하여 래치하는 제 2래치 회로를 구비한다.

<40> 상기 데이터 스트로브 카운터는 기입 명령 신호를 수신하고, 유효한 데이터 스트로브 신호가 입력된 이후의 상기 내부 클럭의 첫번째 클럭신호에 응답하여 초기화되고, 상기 카운트 신호는 상기 데이터 스트로브 신호의 첫 번째 펠스의

하강에지에 응답하여 인에이블되고, 상기 데이터 스트로브 신호의 마지막 펄스의 하강에지에 응답하여 디스에이블되는 출력신호인 것이 바람직하다.

<41> 상기 데이터 입력회로는 상기 카운트 신호를 수신하여 지시신호를 출력하는 지시신호 발생회로를 더 구비하고, 상기 지시신호는 상기 제 1래치회로에 인가되는 것이 바람직하다.

<42> 상기 변환회로는 상기 데이터 스트로브 신호에 응답하여 상기 시리얼 데이터의 홀수 번째 데이터를 각각 래치하는 제 3래치회로; 및 상기 데이터 스트로브 신호에 응답하여 상기 시리얼 데이터의 짹수 번째 데이터를 각각 래치하는 제 4래치회로를 구비하고, 상기 카운트 신호는 상기 데이터 스트로브 신호의 인에이블 구간에서 상기 데이터 스트로브 신호의 하강에지의 수를 계수하여 발생되는 신호인 것이 바람직하다.

<43> 본 발명의 실시예에 따른 데이터 입력회로는 데이터 스트로브 신호의 첫번째 펄스의 상승에지에 응답하여 입력되는 첫번째 데이터를 래치하는 제 1레지스터와, 상기 첫번째 펄스의 하강에지에 응답하여 상기 제 1레지스터의 출력데이터를 수신하여 래치하는 제 2레지스터와 상기 데이터 스트로브의 두번째 펄스의 상승에지에 응답하여 상기 제 2레지스터의 출력데이터를 수신하여 저장하는 제 3레지스터와 상기 두번째 펄스의 하강에지에 응답하여 상기 제 3레지스터의 출력데이터를 수신하여 저장하는 제 4레지스터를 구비하는 제 1 래치수단; 상기 데이터 스트로브 신호의 첫번째 펄스의 하강에지에 응답하여 입력되는 두번째 데이터를 래치하는 제 5레지스터와 상기 데이터 스트로브의 두번째 펄스의 상승에지에 응답하여 상기 제 5레지스터의 출력데이터를 수신하여 저장하는 제 6 래지스터와

상기 두번째 펄스의 하강에지에 응답하여 상기 제 6레지스터의 출력데이터를 수신하여 저장하는 제 7레지스터를 구비하는 제 2 래치수단을 구비하고, 상기 데이터 스트로브 신호의 두번째 펄스의 상승에지에 응답하여 입력되는 세 번째 데이터는 상기 제 1레지스터와 상기 제 2레지스터를 통하여 상기 제 3레지스터에 저장하며, 상기 데이터 스트로브 신호의 두번째 펄스의 하강에지에 응답하여 입력되는 네번째 데이터는 상기 제 5레지스터를 경유하여 상기 제 6레지스터에 저장하고, 상기 데이터 스트로브 신호의 두번째 하강에지에 응답하여 발생되는 지시신호에 응답하여 상기 제 1 래치수단의 제 4레지스터에 저장된 데이터를 수신하여 저장하는 제 3래치수단; 상기 지시신호에 응답하여 상기 제 2 래치수단의 제 7레지스터에 저장된 데이터를 수신하여 저장하는 제 4 래치수단; 상기 지시신호에 응답하여 상기 제 1 래치수단의 제 3레지스터에 저장된 데이터를 수신하여 저장하는 제 5 래치수단; 및 상기 지시신호에 응답하여 상기 제 2 래치수단의 제 6레지스터에 저장된 데이터를 수신하여 저장하는 제 6래치수단을 구비한다.

<44> 본 발명의 실시예에 따른 데이터 입력회로는 데이터 스트로브 신호에 응답하여 2N비트 시리얼 데이터의 홀수 번째 데이터를 각각 래치하는 제 1 데이터 래치회로와 상기 데이터 스트로브 신호에 응답하여 상기 2N비트 시리얼 데이터의 짝수 번째 데이터를 각각 래치하는 제 2 데이터 래치회로를 구비하여 상기 2N비트 시리얼 데이터를 2N비트 병렬데이터로 변환하는 변환회로; 상기 데이터 스트로브 신호와 내부 클럭신호를 수신하고, 상기 데이터 스트로브 신호의 인에이블 구간에서 상기 데이터 스트로브 신호의 펄스의 수를 계수하여 대응하는 카운트 신호를 출력하

는 데이터 스트로브 카운터; 상기 카운트 신호에 응답하여 지시신호를 발생하는 지시신호 발생회로; 상기 지시신호에 응답하여 상기 변환회로의 출력 데이터를 수신하여 래치하는 제 1래치회로; 및 내부 클락신호에 응답하여 상기 제 1래치회로의 출력신호를 수신하여 래치하는 제 2래치 회로를 구비한다.

<45> 본 발명의 실시예에 따른 데이터 입력회로는 제 1내부 데이터 스트로브 신호의 상승에지와 하강에지에 각각 동기되어 4비트 시리얼 데이터를 4비트 병렬 데이터로 변환하는 변환회로; 제 2내부 데이터 스트로브신호의 상승에지의 개수를 계수하여 상기 상승에지의 개수에 상응하는 카운트 신호를 출력하는 데이터 스트로브 카운터; 상기 카운트 신호에 응답하여 지시신호를 발생하는 지시신호 발생회로; 상기 지시신호에 응답하여 상기 변환회로의 출력신호를 수신하여 래치하는 제 1래치회로; 및 제 1내부 클락신호에 응답하여 상기 제 1래치회로의 출력신호를 수신하여 래치하는 제 2래치 회로를 구비한다.

<46> 상기 제 1내부 데이터 스트로브 신호는 소정의 외부 데이터 스트로브 신호를 버퍼링한 신호이고, 상기 제 2내부 데이터 스트로브 신호는 상기 소정의 외부 데이터 스트로브 신호의 하강에지에 응답하여 발생되는 신호인 것이 바람직하다

<47> 상기 데이터 스트로브 카운터는 제 2내부 클락신호에 응답하여 상기 데이터 스트로브 카운터를 초기화하기 위한 리셋신호를 발생하고, 상기 데이터 스트로브 카운터는 상기 리셋신호에 응답하여 활성화되고 상기 카운트신호에 응답하여 비활성화되는 것이 바람직하다.

<48> 상기 변환회로는 상기 제 1내부 데이터 스트로브 신호에 응답하여 상기 4비트 시리얼 데이터의 홀수 번 데이터를 각각 래치하는 제 3래치회로; 및 상기 데이터 스트로브 신호에 응답하여 상기 4비트 시리얼 데이터의 짝수 번 데이터를 래치하는 제 4래치회로를 구비한다.

<49> 본 발명의 실시예에 따른 데이터 프리페치 방법은 소정의 데이터 스트로브 신호의 제 1에지와 제 2에지에 동기되어 N 비트의 시리얼 데이터를 N 비트의 병렬데이터로 변환하는 단계; 상기 데이터 스트로브 신호와 내부 클럭신호를 수신하고, 상기 데이터 스트로브 신호의 인에이블 구간에서 상기 데이터 스트로브 신호의 제 2에지의 수를 계수하여 대응하는 카운트 신호를 출력하는 단계; 상기 카운트 신호를 수신하여 지시신호를 발생하는 단계; 상기 지시신호에 응답하여 상기 N 비트 병렬데이터를 래치하는 제 1래치단계; 및 소정의 클락신호에 응답하여 상기 제 1래치단계에서 래치된 데이터를 수신하고 래치하는 제 2 래치단계를 구비한다.

<50> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<51> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<52> 도 3은 본 발명의 제 1실시예에 따른 데이터 프리페치 개요의 블락 다이어그램을 나타낸다. 도 3을 참조하면, 반도체 메모리 장치(100)는 클락 버퍼(110),

데이터 스트로브 버퍼(130), 데이터 입력버퍼(150), 데이터 입력회로(170) 및 데이터 입력 드라이버(190)를 구비한다.

<53> 클락 버퍼(110)는 외부 클락신호(CLK)의 제 1에지에 응답하여 내부 클락신호(PCLK)를 발생시키고, 데이터 스트로브 버퍼(130)는 데이터 스트로브 신호(DQS)를 버퍼링하여 제 1내부 데이터 스트로브 신호(PDSb0)를 발생시킨다.

<54> 데이터 입력버퍼(150)는 N비트의 데이터 스트링을 갖는 외부 데이터(DIN)를 버퍼링하여 N비트의 데이터 스트링을 갖는 내부 데이터(PDIN)를 발생시키고, 데이터 입력회로(170)는 내부 클락(PCLK) 및 제 1내부 데이터 스트로브 신호(PDSb0)에 응답하여 N비트의 시리얼 데이터(PDIN)를 N비트의 병렬 데이터로 변환하여 데이터 입력 드라이버(190)로 출력한다. 데이터 입력 드라이버(190)는 데이터 입력회로(170)의 출력신호를 메모리 셀 어레이(미 도시)로 드라이빙(driving)한다.

<55> 도 4는 도 3의 데이터 입력회로를 나타내는 회로도이다. 도 4의 데이터 입력회로(170)는 4비트 프리페치(prefetch)로 동작하고 제 1내부 데이터 스트로브 신호(PDSb0)의 상승 에지 및 하강 에지에 동기되어 4비트 시리얼 데이터를 4비트 병렬 데이터로 래치(latch)하고, 소정의 클락에 응답하여 메모리 어레이로 4비트 병렬 데이터를 기입하는 시리얼 입력-병렬 출력회로(serial input parrel output circuit)이다.

<56> 도 4를 참조하면, 본 발명의 실시예에 따른 데이터 입력회로(170)는 제 1래치 회로(10), 논리회로(20), 제 2래치회로(30) 및 출력회로(40)를 구비하며, 클락 주파수 분주 회로(50)를 더 구비한다.

<57> 도 5는 도 4의 데이터 입력회로(170)의 기입동작의 타이밍 다이어그램을 나타낸다. 이하 도 4 및 도 5를 참조하여 본 발명의 실시예에 따른 4비트 프리페치 데이터 입력회로(170)의 데이터 기입동작이 상세히 설명되어진다.

<58> 논리회로(20)는 내부 데이터 스트로브 분주 회로(20a) 및 다수개의 논리 게이트들(1 내지 7)을 구비한다.

<59> 내부 데이터 스트로브 분주 회로(20a)는 메모리 컨트롤러(미 도시)로부터 발생된 기입 인에이블 신호(PDIN_en)가 활성화(예컨대 논리 하이)된 경우, 제 1내부 DS(PDSb0)에 응답하여, 제 1내부 DS(PDSb0)를 2분주한 제 2내부 DS(PDSb1)를 발생한다.

<60> 내부 데이터 스트로브 분주 회로(20a)는 디-플립플롭(D-flip flop)으로 구성되는 것이 바람직하며, 디-플립플롭(20a)의 입력단(D)과 제 2출력단(QB)은 서로 전기적으로 접속된다. 내부 데이터 스트로브 분주 회로(20a)의 다양한 변형은 당업계에서 용이하게 할 수 있다.

<61> 논리 게이트(1)는 제 1내부 DS(PDSb0) 및 제 2 내부DS(PDSb1)를 논리곱하여 제 3내부 DS(PDS0)를 출력하며, 논리 게이트(3)는 제 1내부 DS(PDSb0)를 반전시킨 신호(PDSb0b) 및 제 2 내부DS(PDSb1)를 논리곱하여 제 4내부 DS(PDS1)를 출력한다.

<62> 또한, 논리 게이트(5)는 제 1내부 DS(PDSb0) 및 제 2 내부DS(PDSb1)를 반전시킨 신호(PDSb1b)를 논리곱하여 제 5내부 DS(PDS2)를 출력하며, 논리 게이트(7)

는 제 1내부 DS(PDSb0)를 반전시킨 신호(PDSb0b) 및 제 2 내부DS(PDSb1)를 반전시킨 신호(PDSb1b)를 논리곱하여 제 6내부 DS(PDS1)를 출력한다.

<63> 논리게이트들(1,3,5,7)각각의 출력신호인 제 3내부 DS 내지 제 6내부 DS (PDS0 내지 PDS3)는 제 1내부 DS(PDSb0)를 4분주한 주파수이므로, 제 3내부 DS 내지 제 6내부 DS (PDS0 내지 PDS3)에 응답하여 동작하는 데이터 입력회로(170)의 전력소모가 감소하며, 데이터 입력회로(170)의 재동기 타이밍 마진 (re-synchronous timing margin)은 증가된다.

<64> 제 1래치 회로(10)는 다수개의 래치 회로들, 예컨대 디-플립플롭들(10a, 10b, 10c 및 10d)로 구성된다. 디-플립플롭들(10a, 10b, 10c 및 10d)은 기입 인에이블 신호(PDIN_en)가 활성화된 경우, 제 3내부 DS 내지 제 6내부 DS(PDS0 내지 PDS3)의 상승에지에 응답하여 제 1래치 회로(10)로 입력되는 4비트 데이터 스트링(data string; PDin)을 각각 래치한다.

<65> 그러나 디-플립플롭들(10a, 10b, 10c 및 10d)은 기입 인에이블 신호(PDIN_en)가 비활성화(예컨대 논리 '로우')된 경우 각각 리셋된다.

<66> 제 1래치 회로(10)의 동작을 상세히 설명하면, 디- 플립플롭(10a)은 제 3내부 DS(PDS0)의 상승 에지에 응답하여 4비트 데이터 스트링(PDin)의 첫 번째 데이터(D0)를 래치하며, 디-플립플롭(10b)은 제 4내부 DS (PDS1)의 상승 에지에 응답하여 4비트 데이터 스트링(PDin)의 두 번째 데이터(D1)를 각각 래치한다.

<67> 디-플립플롭(10c)은 제 5내부 DS(PDS2)의 상승 에지에 응답하여 데이터 스트링(PDin)의 세 번째 데이터(D2)를 래치하고, 디- 플립플롭(10d)은 제 6내부 DS

(PDS3)의 상승 에지에 응답하여 데이터 스트링(PDin)의 네 번째 데이터(D3)를 각각 래치한다.

<68> 제 2래치 회로(30)는 다수개의 래치 회로들, 예컨대 디-플립플롭들(30a, 30b, 및 30c)로 구성된다. 제 2래치 회로(30)는 제 6내부 DS(PDS3)의 상승에지에 응답하여 래치 회로들(10a, 10b 및 10c)의 출력신호를 래치한다.

<69> 따라서 제 2래치 회로(30)의 출력신호들(Di0D 내지 Di2D)은 데이터 스트로브 신호(DQS)의 2클락에 상응하는 유효 데이터 윈도우(valid data window)를 가질 수 있다.

<70> 클럭 주파수 분주회로(50)는 독출(read) 및 기입(write) 등의 명령(column address strobe; 이하 'CAS'라 한다) 명령에 응답하여 반도체 메모리 장치에서 발생하는 제 2명령신호(PCAS)가 활성화되는 경우, 내부 클럭신호(PCLK)를 수신하여 2분주한 2분주 클럭신호(PCLK2T)를 출력한다.

<71> 출력회로(40)는 기입 인에이블 신호(PDIN_en)가 활성화된 경우, 2분주 클럭신호(PCLK2T)에 응답하여 4비트 병렬데이터를 데이터 기입 드라이버(190)로 출력한다.

<72> 도 5를 참조하면, 제 1경우(Case I)는 내부 클럭신호(PCLK)와 데이터 스트로브 신호(DQS)의 타이밍 마진을 나타내는 규격(t_{DQSS})이 최대($t_{DQSSmax}$)인 경우를 나타내며, 제 2 경우(Case II)는 t_{DQSS} 가 최소($t_{DQSSmin}$)인 경우를 나타낸다.

<73> 본 발명의 실시예에 따른 반도체 메모리 장치는 tDQSS의 최대 값과 최소 값 사이의 윈도우가 데이터 스트로브 신호(DQS)의 2클락에 상응하므로 타이밍 마진이 증가한다.

<74> 또한, 데이터 스트로브 신호(DQS)에 동기되어 $2^{(N+1)}$ (여기서 N은 자연수이다.)비트 시리얼 데이터를 $2^{(N+1)}$ 비트 병렬 데이터로 출력하는 데이터 입력회로는 도 3을 변경하여 간단히 구현 할 수 있다.

<75> 따라서 도 3을 참조하여 데이터 스트로브 신호에 동기되어 $2^{(N+1)}$ (여기서 N은 자연수이다.)비트 시리얼 데이터를 $2^{(N+1)}$ 비트 병렬 데이터로 출력하는 데이터 입력회로 및 데이터 입력 방법을 간단히 설명한다.

<76> 우선, 논리 회로(20)는 데이터 스트로브 신호(DQS)를 $2^{(N)}$..., 2^2 , 2^1 분주한 분주 신호들을 논리 연산하여 $2^{(N+1)}$ 개의 내부 스트로브 신호들을 발생한다.

<77> 예컨대, 8비트 시리얼 데이터를 수신하여 8비트 병렬 데이터로 출력하는 경우(N이 2인 경우), 논리 회로(20)는 내부 데이터 스트로브 분주 회로(20a)를 두 개 직렬로 연결하여 제 1내부 DS(PDSb0)를 2 분주한 신호 및 제 1내부 DS(PDSb0)를 분주한 신호를 발생시킨다.

<78> 그리고 8개의 3입력(3-input) 논리 게이트들을 사용하여 본 발명의 실시예에 유사하게 상기 세 신호들을 논리 조합하여 데이터 스트로브 신호의 상승 및 하강에지에 동기되어 활성화되는 8개의 내부 스트로브 신호들을 각각 발생시킨다

<79> 제 1래치회로(10)는 상기 내부 스트로브 신호들에 각각 응답하여, 상기 $2^{(N+1)}$ 비트 시리얼 데이터를 상기 $2^{(N+1)}$ 비트 병렬 데이터로 각각 래치한다. 예컨대, 제 1래치회로(10)는 8개의 래치회로들을 구비하고, 8개의 내부 스트로브 신호들의 상승에지의 각각에 응답하여 8비트 시리얼 데이터를 8비트 병렬 데이터로 각각 래치한다.

<80> 제 2래치회로(30)는 상기 $2^{(N+1)}$ 비트 시리얼 데이터의 $2^{(N+1)}$ 번째 데이터를 래치하는 상기 내부 데이터 스트로브 신호에 응답하여 상기 제 1래치회로의 출력신호들을 래치한다. 예컨대 제 2래치회로(20)는 7개의 래치회로들을 구비하여, 각각의 래치회로들은 8비트 시리얼 데이터의 8번째 데이터를 래치하는 내부 데이터 스트로브 신호에 응답하여 제 1래치회로(10)의 출력신호들을 래치한다.

<81> 출력회로(40)는 내부 클락(PCLK)을 2^N 분주한 클락에 응답하여 상기 $2^{(N+1)}$ 비트 병렬 데이터를 출력한다 예컨대 출력회로(40)의 8개의 입력단에는 데이터 스트로브 신호(DS)의 4개의 클락에 상응하는 유효 데이터 윈도우를 가진 8개의 데이터가 각각 대기하고 있으므로, 출력회로(40)는 내부 클락(PCLK)을 4분주한 클락에 동기되어 8비트 병렬 데이터를 메모리 어레이의 기입 드라이버들로 동시에 출력된다.

<82> 이 경우 tDQSS의 최대 값과 최소 값의 윈도우가 데이터 스트로브 신호(DQS)의 4개 클락에 상응하므로 데이터 스트로브 신호(DQS)와 클락의 재동기 타이밍 마진이 증가하므로 시스템의 설계가 용이하다.

<83> 도 6은 본 발명의 제 2실시예에 따른 데이터 프리페치 개요(data prefetch scheme)를 나타내는 블락 다이어그램을 나타낸다. 본 발명은 tDQSS가 최소로부터 최대에 이르기까지 변화(variation)하는 경우에도, tDQSS의 변화에 무관하게 유효 데이터(valid data)를 안정적으로 폐치(fetch)할 수 있는 구조이다.

<84> 도 6을 참조하면, 반도체 메모리 장치(200)는 클락버퍼(210), 데이터 스트로브 버퍼(220), 데이터 입력버퍼(230), 데이터 스트로브 카운터(240), 지시신호 발생회로(250), 데이터 입력회로(260) 및 데이터 입력 드라이버(270)를 구비한다.

<85> 클락버퍼(210)는 외부 클락신호(CLK)의 상승에지(rising edge)에 응답하여 제 1내부 클락(PCLK)을 발생하고, 외부 클락신호(CLK)의 하강에지(falling edge)에 응답하여 제 2내부클락(PCLKB)을 발생한다. 제 1내부 클락(PCLK)과 제 2내부 클락 (PCLKB)각각은 연속적인 짧은 펄스 신호(continue short pulse signal)이다.

<86> 데이터 스트로브 버퍼(220)는 데이터 스트로브 신호(DQS)를 버퍼링하여 제 1내부 데이터 스트로브 신호(PDSD)를 발생하고, 데이터 스트로브 신호(DQS)의 하강에지에 응답하여 제 2내부 데이터 스트로브 신호(PDSBP)를 발생한다. 제 2내부 데이터 스트로브 신호(PDSBP)는 연속적인 짧은 펄스 신호(continue short pulse signal)이다.

<87> 데이터 입력버퍼(230)는 N비트의 데이터 스트링(DIN)을 버퍼링한다. 도 10에 도시된 바와 같이 데이터 스트로브 카운터(240)는 기입(write) 명령 이후에 유효 데이터 스트로브 신호가 입력되는 시점에서의 제 2내부클락(PCLKB)에 응답

하여 데이터 스트로브 카운터(240)를 초기화하기 위한 짧은 펄스(short pulse)인 카운터 리셋신호(CNTRST)를 발생하고, 데이터 스트로브 카운터(240)는 카운터 리셋신호 (CNTRST)의 상승에지에 응답하여 데이터 스트로브 카운터(240)를 활성화시키는 카운터 인에이블 신호(CNTEN)를 발생한다.

<88> 데이터 스트로브 카운터(240)는 기입 신호(write signal; PWA)에 응답하여 카운터 인에이블 신호(CNTEN)의 활성화구간동안의 제 2내부 데이터 스트로브 신호(PDSBP)의 제 1상승 에지와 제 2상승 에지의 개수를 카운팅하고, 제 2내부 데이터 스트로브 신호(PDSBP)의 상승에지의 개수에 상응하는 제 1카운트 신호(CNT0)를 발생한다.

<89> 예컨대 데이터 스트로브 카운터(240)는 제 2내부 데이터 스트로브 신호(PDSBP)의 제 1상승 에지에 응답하여 활성화되고, 제 2상승 에지에 응답하여 비활성화되는 제 1카운트 신호(CNT0)를 발생한다. 데이터 스트로브 카운터(240)는 제 1카운트 신호(CNT0)의 비활성화에 응답하여 활성화되는 제 2카운트 신호(CNT1)를 발생할 수 있다.

<90> 카운터 인에이블 신호(CNTEN)는 활성화되는 제 2카운트 신호(CNT1)에 응답하여 비활성화되거나, 제 1카운트 신호(CNT0)의 비활성화에 응답하여 비활성화될 수 있다. 카운터 인에이블 신호(CNTEN)가 비활성화되면, 데이터 스트로브 카운터(240)는 비활성화된다.

<91> 데이터 스트로브 카운터(240)는 제 2내부 데이터 스트로브 신호(PDSBP)의 상승에지의 개수를 계수(count)한다. 제 2내부 데이터 스트로브 신호(PDSBP)는

데이터 스트로브 신호(DQS)가 논리 '하이'에서 논리 '로우'로 천이(transition) 할 때마다 발생되는 폭이 좁은 펄스이다.

<92> 데이터 스트로브 카운터(240)는 프리앰블과 포스트 앰블 사이의 데이터 스트로브 신호(DQS)의 하강에지의 개수를 카운팅한다. 데이터 스트로브 카운터(240)가 하강에지의 개수를 모두 계수한 경우, 데이터 스트로브 카운터(240)는 비활성화된다.

<93> 지시신호 발생회로(250)는 데이터 스트로브 카운터(240)의 출력신호(CNTi, i는 0, 1, 2, 3,...) 즉, 비활성화되는 제 1카운트 신호(CNT0)에 응답하여 자동 펄스(auto pulse)인 지시신호(PDSEN)를 발생시킨다. 지시신호(PDSEN)는 데이터 스트로브 신호(DQS)의 하강에지의 개수를 모두 계수하였음을 지시하는 신호이다.

<94> 데이터 입력회로(260)는 제 1내부 데이터 스트로브 신호(PDSD)에 응답하여 N비트 시리얼 데이터(PDIN)를 N비트 병렬 데이터로 변환하여 래치하고, N비트 병렬 데이터가 모두 래치된 후에 발생하는 지시신호(PDSEN)에 응답하여 N비트 병렬 데이터를 다시 래치한 후, 지시신호(PDSEN)가 발생된 후에 발생되는 제 1내부 클럭 (PCLK)에 응답하여 래치된 N비트 병렬 데이터(DINIIi)를 데이터 입력 드라이버(270)로 출력한다. 데이터 입력 드라이버(270)는 병렬로 래치된 N비트의 데이터를 메모리 셀 어레이(미 도시)로 출력한다.

<95> 도 7은 도 6의 최소 tDQSS 및 최대 tDQSS에 따른 데이터 스트로브 버퍼 및 데이터 입력버퍼의 입/출력 파형의 타이밍 다이어그램을 나타낸다.

<96> 제 1경우(CASE I)는 tDQSS가 최소(tDQSSmin)인 경우의 데이터 스트로브 버퍼(220) 및 데이터 입력버퍼(230)의 입/출력 파형을 나타내고, 제 2경우(CASE II)는 tDQSS가 최대(tDQSSmax)인 경우의 데이터 스트로브 버퍼(220) 및 데이터 입력버퍼(230)의 입/출력 파형을 나타낸다. 데이터(DIN)는 데이터 스트로브 신호(DQS)에 동기되어 출력된다. 구간(A, A', B, B')은 무효한 제 1내부 데이터 스트로브 신호(invalid data strobe signal)를 나타낸다.

<97> 도 8은 도 7의 데이터 입력회로를 나타내는 회로도이다. 도 8을 참조하면, 데이터 입력회로(260)는 시리얼 입력-병렬출력회로(261), 제 1래치회로(265) 및 제 2래치회로(267)를 구비한다.

<98> 시리얼 입력-병렬 출력회로(261)는 제 3래치회로(262) 및 제 4래치회로(263)를 구비하며, 제 3래치회로(262)는 다수개의 래치회로들, 예컨대 제 1내부 데이터 스트로브 신호(PDSD)에 응답하는 4개의 디-플립 플롭들(261a, 261b, 261c 및 261d)을 구비한다.

<99> 내부 데이터(PDIN)는 제 1내부 데이터 스트로브 신호(PDSD)에 응답하여 디-플립플롭(261a)으로 입력되고, 디-플립 플롭들(261a, 261b, 261c)의 각각의 출력단은 디-플립플롭들(261b, 261c, 261d)의 각각의 입력단과 전기적으로 접속된다.

<100> 제 3래치회로(263)는 N비트의 데이터 스트링(PDIN)의 홀수 번 데이터를 래치하기 위하여 N(N은 자연수)개의 래치들을 시리얼로 구비한다. 본 발명의 일실시 예인 4비트 프리페치 데이터 입력회로(260)의 제 3래치회로(262)는 4개의 디-

플립플롭들을 구비하고 데이터 스트링(PDIN)의 홀수 번째 데이터인 D0과 D2를 각각 래치한다.

<101> 제 4래치회로(263)는 다수개의 래치회로들과 다수개의 반전회로들(IN1, IN2, IN3)을 구비한다. 다수개의 래치회로들은, 예컨대 제 1내부 데이터 스트로브 신호(PDSD)에 응답하는 다수개의 디-플립 플롭들(263a, 263b, 263c)을 구비한다. 내부 데이터(PDIN)는 반전회로(IN1)의 입력단으로 입력되고, 반전회로(IN1)의 출력단은 디-플립플롭(263a)의 입력단에, 디-플립플롭(263b)의 입력단은 디-플립플롭 (263a)의 출력단에, 디-플립플롭(263c)의 입력단은 디-플립플롭(263b)의 출력단에 각각 접속된다.

<102> 반전회로(IN2)의 입력단은 디-플립플롭(261c)의 출력단에, 반전회로(IN3)의 입력단은 디-플립플롭(263b)의 출력단에 각각 접속된다. 반전회로들(IN1, IN2, IN3)은 시리얼 입력- 병렬 출력회로(261)의 출력데이터들(D01, DE1, D02, DE2)의 위상을 일치시키기 위한 것이다.

<103> 제 4래치회로(263)는 N비트의 데이터 스트링(PDIN)의 짹수 번 데이터를 래치하기 위하여 (N-1)개의 래치회로를 구비한다. 본 발명의 일실시예인 4비트 프리페치 데이터 입력회로(260)의 제 4래치회로(263)는 데이터 스트링(PDIN)의 짹수 번째 데이터 D1과 D3을 각각 래치한다. 따라서 시리얼 입력- 병렬 출력회로(262)는 N비트 시리얼 데이터 스트링(PDIN)을 N비트 병렬 데이터로 변환하여 래치한다.

<104> 제 1래치회로(265)는 다수개의 래치 회로들, 예컨대 디-플립플롭들(265a, 265b, 265c, 265d)을 구비하며, 지시신호(PDSEN)가 활성화되는 경우 병렬로 래치된 데이터(D01, DE1, D02, DE2)를 제 2래치회로(267)로 출력한다.

<105> 디-플립플롭(265a)의 입력단은 디-플립플롭(261d)의 출력단에, 디-플립플롭(265b)의 입력단은 디-플립플롭(263c)의 출력단에 각각 접속되고, 디-플립플롭(265c)의 입력단은 반전회로(IN2)의 출력단에, 디-플립플롭(265d)의 입력단은 반전회로(IN3)의 출력단에 각각 접속된다. N비트를 래치하는 제 1래치회로(265)는 N개의 디-플립플롭들을 구비한다.

<106> 제 2래치회로(267)는 제 1내부 클락신호(PCLK)의 상승에지에 응답하여 제 1래치회로(265)의 출력신호들(DP1, DP2, DP3, DP4)을 래치하고 데이터 입력 드라이버(270)로 출력한다. 제 2래치회로(267)는 다수개의 래치회로들, 예컨대 다수개의 디-플립플롭들(267a, 267b, 267c, 267d)을 구비한다. 다수개의 디-플립플롭들(267a, 267b, 267c, 267d) 각각의 입력단은 디-플립플롭들(265a, 265b, 265c, 265d) 각각의 출력단에 접속된다.

<107> 도 9는 도 8의 시리얼 입력-병렬 출력회로(261), 제 1래치회로(265) 및 제 2래치회로(267)의 출력 데이터의 타이밍 다이어그램을 나타낸다. 도 9를 참조하면, 제 1래치회로(265)는 지시신호(PDSR)에 응답하여 시리얼 입력-병렬 출력회로(261)의 출력 데이터(D01, DE1, D02, DE2)를 래치하고, 제 2래치회로(267)는 제 1내부 클락신호(PCLK)에 응답하여 제 1래치회로(265)의 출력신호(DP1, DP2, DP3, DP4)를 래치한다.

<108> 도 10은 도 6의 데이터 프리페치 개요의 타이밍 다이어그램을 나타낸다. 도 10을 참조하면, tDQSS가 최소인 경우(CASE I)와 tDQSS가 최대인 경우(CASE II)의 데이터 스트로브 버퍼(220), 데이터 스트로브 카운터(240) 및 활성화 회로(250)의 입/출력 신호를 각각 나타내는 타이밍 다이어그램이다.

<109> 도 6 내지 도 10을 참조하여 기입(WRITE) 명령 이후에 유효한 데이터 스트로브 신호(DQS)가 입력되는 외부 클락(CLK)를 기준으로 데이터 입력회로(260)의 데이터 기입 동작이 상세히 설명된다. 그리고 N비트의 내부 데이터 스트링(PDIN)은 4비트라고 가정하여 설명한다.

<110> 먼저, 시리얼 입력-병렬 출력회로(261)의 동작을 설명하면, 제 1내부 데이터 스트로브 신호(PDSD)가 제 1상태(예컨대 논리 '로우')이면, 디-플립플롭(261a)은 데이터<D0>를 래치하고, 이어서 제 1내부 데이터 스트로브 신호(PDSD)가 제 2상태(예컨대 논리 '하이')로 천이(이하 '제 1상승 에지'라 한다.)하면, 데이터<D0>는 디-플립플롭(261b)에 래치되고 데이터<D1>은 디-플립플롭(263a)에 각각 래치된다.

<111> 그리고 제 1내부 데이터 스트로브 신호(PDSD)가 제 1상태로 천이(이하 '제 1하강 에지'라 한다.)하면, 데이터<D0>는 디-플립플롭(261c)에, 데이터<D1>은 디-플립플롭(263b)에 그리고 데이터<D2>는 디-플립플롭(261a)에 각각 래치된다. 이어서 제 1내부 데이터 스트로브 신호(PDSD)가 제 2상태로 천이(이하 '제 2 상승 에지'라 한다.)하면, 데이터<D0>는 디-플립플롭(261d)에, 데이터<D1>은 디-플립플롭(263c)에, 데이터<D2>는 디-플립플롭(261b)에 그리고 데이터<D3>는 디-플립플롭(263a)에 각각 래치된다.

<112> 이어서 제 1내부 데이터 스트로브 신호(PDSD)가 제 1상태로 천이(이하 '제 2하강 에지'라 한다.)하면, 데이터<D0>는 디-플립플롭(261d)에, 데이터<D1>은 디-플립플롭(263c)에 그대로 유지되고, 데이터<D2>는 디-플립플롭(261c)에 그리고 데이터<D3>는 디-플립플롭(263b)에 각각 래치된다.

<113> 따라서 시리얼 입력-병렬 출력회로(261)는 유효한 데이터 스트로브 신호(DQS)에 응답하여 4비트의 시리얼 데이터 스트링(PDIN)을 4비트 병렬 데이터(D01, DE1, D02, DE2)로 변환하여 정렬한다.

<114> 데이터 스트로브 신호(DQS)가 2개의 하강에지를 갖는 경우, 제 1카운트 신호(CNT0)는 논리 '로우'에서 논리 '하이'로, 그리고 논리 '하이'에서 논리 '로우'로 2번의 로직천이를 한다.

<115> 따라서 데이터 스트로브 신호(DQS)가 데이터 스트로브 인에이블 구간에서 N개의 상승에지와 N개의 하강에지를 갖는 경우, 제 1카운트 신호(CNT0)는 N번의 로직천이를 하므로 지시신호 발생회로(250)는 N번째 로직천이에 응답하여 지시신호(PDSEN)를 발생한다. 따라서 4비트 프리페치 데이터 입력회로(260)의 활성화 신호(PDSEN)는 데이터 스트로브 카운터(240)가 2개의 하강에지를 카운팅한 후에 발생된다.

<116> 제 1래치회로(265)는 지시신호(PDSEN)에 응답하여 시리얼 입력-병렬 출력회로(261)의 출력 데이터(D01, DE1, D02, DE2)를 래치한다. 제 2래치회로(267)는 제 1내부 클락신호(PCLK)에 응답하여 제 1래치회로(265)의 출력신호(DP1, DP2,

DP3, DP4)를 래치하고 제 2래치회로(267)의 데이터(DINi, I는 1 내지 4)는 데이터 입력 드라이버(270)로 출력된다.

<117> 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<118> 상술한 바와 같이 본 발명에 따른 데이터 입력회로 및 데이터 입력방법은 tDQSS의 타이밍 마진을 증가시키므로 시스템 설계가 용이한 장점이 있다. 또한, tDQSS의 가변에 무관하게 N개의 유효 데이터를 안정적으로 페치할 수 있다.

【특허청구범위】**【청구항 1】**

클락의 상승에지와 상기 클락의 하강에지에 동기되어 데이터를 액세스하는 반도체 메모리 장치에 있어서,
데이터 스트로브 신호에 응답하여 $2^{(N+1)}$ (여기서 N은 자연수이다.)비트 시리얼 데이터를 $2^{(N+1)}$ 비트 병렬 데이터로 출력하는 변환회로를 구비하며,
상기 $2^{(N+1)}$ 비트 병렬 데이터 각각은 상기 데이터 스트로브 신호의 $2^{(N)}$ 클락에 상응하는 유효 데이터 윈도우를 가지며,
상기 $2^{(N+1)}$ 비트 병렬 데이터는 제 1클락에 응답하여 출력되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 2】

제 1항에 있어서, 상기 변환회로는,
상기 데이터 스트로브 신호 및 상기 데이터 스트로브 신호를 $2^{(N)}$ 내지 2 주한 분주 신호들을 논리 연산하여 $2^{(N+1)}$ 개의 내부 스트로브 신호들을 발생하는 논리 회로;
상기 내부 스트로브 신호들의 각각에 응답하여 상기 $2^{(N+1)}$ 비트 시리얼 데이터를 상기 $2^{(N+1)}$ 비트 병렬 데이터로 각각 래치하는 제 1래치회로;
상기 $2^{(N+1)}$ 비트 시리얼 데이터의 $2^{(N+1)}$ 번째 데이터를 래치하는 상기 내부 데이터 스트로브 신호에 응답하여 상기 제 1래치회로의 출력신호들을 래치하여 상기 $2^{(N+1)}$ 비트 병렬 데이터를 정열시키는 제 2래치회로; 및

상기 제 1클락에 응답하여 상기 $2^{(N+1)}$ 비트 병렬 데이터를 출력하는 출력 회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 3】

제 1항에 있어서, 반도체 메모리 장치는,
상기 제 1클락을 발생하는 분주회로를 더 구비하며, 상기 분주 회로는 내부 클락에 응답하여 상기 내부 클락을 2^N 분주하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 4】

클락의 상승에지와 상기 클락의 하강에지에 동기되어 데이터를 억세스하는 반도체 메모리 장치에 있어서,
데이터 스트로브 신호에 동기되어 4비트 시리얼 데이터를 4비트 병렬 데이터로 변환하는 변환회로를 구비하며,
상기 4비트 병렬 데이터는 상기 데이터 스트로브 신호의 2클락에 상응하는 유효 데이터 윈도우를 가지며,
제 1클락에 동기되어 상기 4비트 병렬 데이터를 출력하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 5】

제 4항에 있어서, 상기 변환회로는,

상기 데이터 스트로브 신호 및 상기 데이터 스트로브 신호를 2분주한 분주 신호를 논리 조합하여 상기 데이터 스트로브 신호의 상승 및 하강에지에 동기되어 활성화되는 내부 데이터 스트로브 신호들을 발생하는 논리회로;

상기 내부 데이터 스트로브 신호들에 동기되어 상기 4비트 시리얼 데이터를 순차적으로 각각 래치하는 제 1래치회로;

상기 4비트 시리얼 데이터의 4번째 데이터를 래치하는 상기 내부 데이터 스트로브 신호에 동기되어 상기 제 1래치회로의 출력신호들을 래치하여 상기 4비트 시리얼 데이터를 정열시키는 제 2래치회로; 및

상기 제 1클락에 응답하여 상기 제 2래치회로의 출력신호를 출력하는 출력회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 6】

클락의 상승에지와 상기 클락의 하강에지에 동기되어 데이터를 억세스하는 반도체 메모리 장치에 데이터를 입력하는 방법에 있어서,

(a) 데이터 스트로브 신호 및 상기 데이터 스트로브 신호를 $2^{(N)}$ (여기서 N은 자연수)내지 2 분주한 분주 신호들을 논리 연산하여 $2^{(N+1)}$ 개의 내부 데이터 스트로브 신호들을 생성하는 단계;

(b) 상기 내부 데이터 스트로브 신호들에 응답하여 $2^{(N+1)}$ 비트 시리얼 데이터를 $2^{(N+1)}$ 비트 병렬 데이터로 각각 래치하는 단계; 및

(c) 제 1클락에 응답하여 상기 $2^{(N+1)}$ 비트의 병렬 데이터를 출력하는 단계를 구비하는 것을 특징으로 하는 데이터 입력방법.

【청구항 7】

제 6항에 있어서, 상기 (b) 단계는,

상기 $2^{(N+1)}$ 비트 시리얼 데이터의 $2^{(N+1)}$ 번째 데이터를 래치하는 상기 내부 데이터 스트로브 신호에 응답하여 상기 $2^{(N+1)}$ 비트 병렬 데이터를 정렬하는 단계를 더 구비하는 것을 특징으로 하는 데이터 입력방법.

【청구항 8】

제 6항에 있어서, 상기 $2^{(N+1)}$ 비트의 병렬 데이터 각각은 상기 데이터 스트로브 신호의 2^N 클락에 상응하는 유효 데이터 윈도우를 갖는 것을 특징으로 하는 데이터 입력방법.

【청구항 9】

제 6항에 있어서, 상기 제 1클락은 내부 클락을 2^N 분주한 클락인 것을 특징으로 데이터 입력방법.

【청구항 10】

제 1클락의 상승 및 하강에지에 동기되어 $2^{(N+1)}$ (여기서 N은 자연수이다.) 비트 시리얼 데이터를 $2^{(N+1)}$ 비트 병렬 데이터로 변환하고, 상기 $2^{(N+1)}$ 비트 병렬 데이터의 유효 데이터 윈도우를 정렬시키는 변환회로; 및 제 2클락에 동기되어 상기 변환 회로의 출력신호를 출력하는 출력회로를 구비하며,

상기 $2^{(N+1)}$ 비트 병렬 데이터는 상기 제 1클락의 2^N 클락에 상응하는 유효 데이터 윈도우를 갖는 것을 특징으로 하는 데이터 입력회로.

【청구항 11】

제 10항에 있어서, 상기 변환회로는,
상기 제 1클락 및 상기 제 1클락을 $2^{(N)}$ 내지 2 분주한 분주 신호들을 논리 연산하여 $2^{(N+1)}$ 개의 제 3클락들을 발생하는 논리 회로;
상기 제 3클락들의 각각에 응답하여 상기 $2^{(N+1)}$ 비트 시리얼 데이터를 상기 $2^{(N+1)}$ 비트 병렬 데이터로 각각 래치하는 제 1래치회로; 및
상기 $2^{(N+1)}$ 비트 시리얼 데이터의 $2^{(N+1)}$ 번째 데이터를 래치하는 상기 제 3클락에 응답하여 상기 제 1래치회로의 출력신호를 상기 $2^{(N+1)}$ 비트 시리얼 데이터로 정열하는 제 2래치회로를 구비하는 것을 특징으로 하는 데이터 입력회로.

【청구항 12】

제 10항에 있어서, 상기 데이터 입력회로는,
상기 제 2클락을 발생하는 분주회로를 더 구비하며, 상기 분주회로는 내부 클락에 응답하여 상기 내부 클락을 $2^{(N)}$ 분주하는 것을 특징으로 데이터 입력회로.

【청구항 13】

클락의 상승에지와 상기 클락의 하강에지에 동기되어 데이터를 억세스하는 반도체 메모리 장치에 있어서,
외부에서 입력되는 제 1데이터 스트로브 신호에 응답하여 상기 제 1데이터 스트로브 신호를 분주한 제 2데이터 스트로브신호를 발생하는 분주회로;

상기 제 1데이터 스트로브 신호와 상기 제 2데이터 스트로브 신호를 논리조합하여 다수개의 스트로브 펠스신호를 발생하는 다수개의 스트로브 펠스신호 발생회로;

상기 다수개의 스트로브 펠스신호 각각에 동기되어, 수신되는 다수개의 시리얼 데이터를 순차적으로 각각 래치하는 다수개의 제 1래치회로;

상기 소정의 스트로브 펠스 신호에 동기되어 상기 제 1래치회로에 저장된 데이터를 수신하여 저장하는 제 2래치회로; 및

소정의 클락신호에 응답하여 상기 제 2래치회로에 저장된 데이터를 수신하고, 상기 수신된 데이터를 동시에 데이터 버스라인으로 전송하는 출력회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 14】

클락의 상승에지와 상기 클락의 하강에지에 동기되어 데이터를 억세스하는 반도체 메모리 장치에 있어서,

외부에서 입력되는 제 1데이터 스트로브 신호에 응답하여 상기 제 1데이터 스트로브 신호를 분주한 제 2데이터 스트로브신호를 출력하는 제 1분주회로;

외부에서 입력되는 제 1클락신호에 응답하여 상기 제 1클락신호를 분주한 제 2클락신호를 출력하는 제 2분주회로;

상기 제 1데이터 스트로브 신호와 상기 제 2데이터 스트로브 신호를 논리조합하여 다수개의 스트로브 펠스신호를 발생하는 다수개의 스트로브 펠스신호 발생회로;

상기 다수개의 스트로브 펠스신호 각각에 동기되어, 수신되는 다수개의 시리얼 데이터를 순차적으로 각각 래치하는 다수개의 제 1래치회로;

상기 제 1래치회로의 출력신호를 수신하여 저장하는 제 2래치회로; 및 상기 제 2클락신호에 응답하여 상기 제 2래치회로의 출력신호를 동시에 데이터 버스 라인으로 전송하는 출력회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 15】

클락의 상승에지와 상기 클락의 하강에지에 동기되어 데이터를 억세스하는 반도체 메모리 장치에 있어서,

외부에서 입력되는 제 1데이터 스트로브 신호에 응답하여 상기 제 1데이터 스트로브 신호를 분주한 제 2데이터 스트로브신호를 출력하는 제 1분주회로; 외부에서 입력되는 제 1클락신호에 응답하여 상기 제 1클락신호를 분주한 제 2클락신호를 출력하는 제 2분주회로;

상기 제 1데이터 스트로브 신호와 상기 제 2데이터 스트로브 신호를 논리 조합하여 다수개의 스트로브 펠스신호를 발생하는 다수개의 스트로브 펠스신호 발생회로;

상기 다수개의 스트로브 펠스신호 각각에 동기되어, 수신되는 다수개의 시리얼 데이터를 순차적으로 각각 래치하는 다수개의 제 1래치회로;

상기 다수개의 시리얼 데이터 중에서 최종적으로 수신된 데이터를 래치하기 위하여 인가되는 소정의 스트로브 펄스신호에 동기되어, 상기 제 1래치회로의 출력신호를 동시에 수신하여 래치하는 다수개의 제 2래치회로; 및

상기 제 2클락신호에 응답하여 상기 제 2래치회로의 출력신호와 최종적으로 수신된 데이터를 래치하는 상기 제 1래치회로의 출력신호를 동시에 데이터 버스 라인으로 전송하는 출력회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치

【청구항 16】

데이터 스트로브 신호의 상승에지와 하강에지에 동기되어 시리얼 데이터를 병렬 데이터로 변환하는 변환회로;

상기 데이터 스트로브 신호와 내부 클럭신호를 수신하고, 상기 데이터 스트로브 신호의 인에이블 구간에서 상기 데이터 스트로브 신호의 펄스의 수를 계수하여 상기 데이터 스트로브 신호의 펄스의 수에 상응하는 카운트 신호를 출력하는 데이터 스트로브 카운터;

상기 카운트 신호에 응답하여 상기 변환회로의 출력 데이터를 수신하여 래치하는 제 1래치회로; 및

상기 내부 클락신호에 응답하여 상기 제 1래치회로의 출력 데이터를 수신하여 래치하는 제 2래치 회로를 구비하는 것을 특징으로 하는 데이터 입력회로.

【청구항 17】

제 16 항에 있어서, 상기 데이터 스트로브 카운터는 기입 명령 신호를 수신하고, 유효한 데이터 스트로브 신호가 입력된 이후의 상기 내부 클럭의 첫번째 클럭신호에 응답하여 초기화되는 것을 특징으로 하는 데이터 입력회로.

【청구항 18】

제 17 항에 있어서, 상기 카운트 신호는 상기 데이터 스트로브 신호의 첫 번째 펄스의 하강에지에 응답하여 인에이블되고, 상기 데이터 스트로브 신호의 마지막 펄스의 하강에지에 응답하여 디스에이블되는 출력신호인 것을 특징으로 하는 데이터 입력회로.

【청구항 19】

제 16 항에 있어서, 상기 데이터 입력회로는 상기 카운트 신호를 수신하여 지시신호를 출력하는 지시신호 발생회로를 더 구비하고, 상기 지시신호는 상기 제 1래치회로에 인가되는 것을 특징으로 하는 데이터 입력회로.

【청구항 20】

제 16 항 또는 제 19 항에 있어서, 상기 변환회로는 상기 데이터 스트로브 신호에 응답하여 상기 시리얼 데이터의 홀수 번째 데이터를 각각 래치하는 제 3 래치회로; 및

상기 데이터 스트로브 신호에 응답하여 상기 시리얼 데이터의 짝수 번째 데이터를 각각 래치하는 제 4래치회로를 구비하고,

상기 카운트 신호는 상기 데이터 스트로브 신호의 인에이블 구간에서 상기 데이터 스트로브 신호의 하강에지의 수를 계수하여 발생되는 신호인 것을 특징으로 하는 데이터 입력회로.

【청구항 21】

데이터 스트로브 신호의 첫번째 펄스의 상승에지에 응답하여 입력되는 첫번째 데이터를 래치하는 제 1레지스터와 상기 첫번째 펄스의 하강에지에 응답하여 상기 제 1레지스터의 출력데이터를 수신하여 래치하는 제 2레지스터와 상기 데이터 스트로브의 두번째 펄스의 상승에지에 응답하여 상기 제 2레지스터의 출력데이터를 수신하여 저장하는 제 3레지스터와 상기 두번째 펄스의 하강에지에 응답하여 상기 제 3레지스터의 출력데이터를 수신하여 저장하는 제 4레지스터를 구비하는 제 1 래치수단;

상기 데이터 스트로브 신호의 첫번째 펄스의 하강에지에 응답하여 입력되는 두번째 데이터를 래치하는 제 5레지스터와 상기 데이터 스트로브의 두번째 펄스의 상승에지에 응답하여 상기 제 5레지스터의 출력데이터를 수신하여 저장하는 제 6 레지스터와 상기 두번째 펄스의 하강에지에 응답하여 상기 제 6레지스터의 출력데이터를 수신하여 저장하는 제 7레지스터를 구비하는 제 2 래치수단을 구비하고,

상기 데이터 스트로브 신호의 두번째 펄스의 상승에지에 응답하여 입력되는 세 번째 데이터는 상기 제 1레지스터와 상기 제 2레지스터를 통하여 상기 제 3 레지스터에 저장하며,

상기 데이터 스트로브 신호의 두번째 펄스의 하강에지에 응답하여 입력되는 네번째 데이터는 상기 제 5레지스터를 경유하여 상기 제 6레지스터에 저장하고,

상기 데이터 스트로브 신호의 두번째 하강에지에 응답하여 발생되는 지시신호에 응답하여 상기 제 1 래치수단의 제 4레지스터에 저장된 데이터를 수신하여 저장하는 제 3래치수단;

상기 지시신호에 응답하여 상기 제 2 래치수단의 제 7레지스터에 저장된 데이터를 수신하여 저장하는 제 4 래치수단;

상기 지시신호에 응답하여 상기 제 1 래치수단의 제 3레지스터에 저장된 데이터를 수신하여 저장하는 제 5 래치수단; 및

상기 지시신호에 응답하여 상기 제 2 래치수단의 제 6레지스터에 저장된 데이터를 수신하여 저장하는 제 6래치수단을 구비하는 것을 특징으로 하는 데이터 입력회로.

【청구항 22】

데이터 입력회로에 있어서,

데이터 스트로브 신호에 응답하여 2N비트 시리얼 데이터의 홀수 번째 데이터를 각각 래치하는 제 1 데이터 래치회로와 상기 데이터 스트로브 신호에 응답하여 상기 2N비트 시리얼 데이터의 짝수 번째 데이터를 각각 래치하는 제 2 데이터 래치회로를 구비하여 상기 2N비트 시리얼 데이터를 2N비트 병렬데이터로 변환하는 변환회로;

상기 데이터 스트로브 신호와 내부 클럭신호를 수신하고, 상기 데이터 스트로브 신호의 인에이블 구간에서 상기 데이터 스트로브 신호의 펄스의 수를 계수하여 대응하는 카운트 신호를 출력하는 데이터 스트로브 카운터;

상기 카운트 신호에 응답하여 지시신호를 발생하는 지시신호 발생회로;

상기 지시신호에 응답하여 상기 변환회로의 출력 데이터를 수신하여 래치하는 제 1래치회로; 및

내부 클럭신호에 응답하여 상기 제 1래치회로의 출력신호를 수신하여 래치하는 제 2래치 회로를 구비하는 것을 특징으로 하는 데이터 입력회로.

【청구항 23】

제 1내부 데이터 스트로브 신호의 상승에지와 하강에지에 각각 동기되어 4비트 시리얼 데이터를 4비트 병렬 데이터로 변환하는 변환회로;

제 2내부 데이터 스트로브신호의 상승에지의 개수를 계수하여 상기 상승에지의 개수에 상응하는 카운트 신호를 출력하는 데이터 스트로브 카운터;

상기 카운트 신호에 응답하여 지시신호를 발생하는 지시신호 발생회로;

상기 지시신호에 응답하여 상기 변환회로의 출력신호를 수신하여 래치하는 제 1래치회로; 및

제 1내부 클럭신호에 응답하여 상기 제 1래치회로의 출력신호를 수신하여 래치하는 제 2래치 회로를 구비하는 것을 특징으로 하는 데이터 입력회로.

【청구항 24】

제 23항에 있어서, 상기 제 1내부 데이터 스트로브 신호는 소정의 외부 데이터 스트로브 신호를 버퍼링한 신호이고,
상기 제 2내부 데이터 스트로브 신호는 상기 소정의 외부 데이터 스트로브 신호의 하강에지에 응답하여 발생되는 신호인 것을 특징으로 하는 데이터 입력회로.

【청구항 25】

제 23항에 있어서, 상기 데이터 스트로브 카운터는 제 2내부 클락신호에 응답하여 상기 데이터 스트로브 카운터를 초기화하기 위한 리셋신호를 발생하고,
상기 데이터 스트로브 카운터는 상기 리셋신호에 응답하여 활성화되고 상기 카운트신호에 응답하여 비활성화되는 것을 특징으로 하는 데이터 입력회로.

【청구항 26】

제 23항에 있어서, 상기 변환회로는
상기 제 1내부 데이터 스트로브 신호에 응답하여 상기 4비트 시리얼 데이터의 홀수 번 데이터를 각각 래치하는 제 3래치회로; 및
상기 데이터 스트로브 신호에 응답하여 상기 4비트 시리얼 데이터의 짝수 번 데이터를 래치하는 제 4래치회로를 구비하는 것을 특징으로 하는 데이터 입력회로.

【청구항 27】

소정의 데이터 스트로브 신호의 제 1에지와 제 2에지에 동기되어 N 비트의 시리얼 데이터를 N 비트의 병렬데이터로 변환하는 단계;

상기 데이터 스트로브 신호와 내부 클럭신호를 수신하고, 상기 데이터 스트로브 신호의 인에이블 구간에서 상기 데이터 스트로브 신호의 제 2에지의 수를 계수하여 대응하는 카운트 신호를 출력하는 단계;

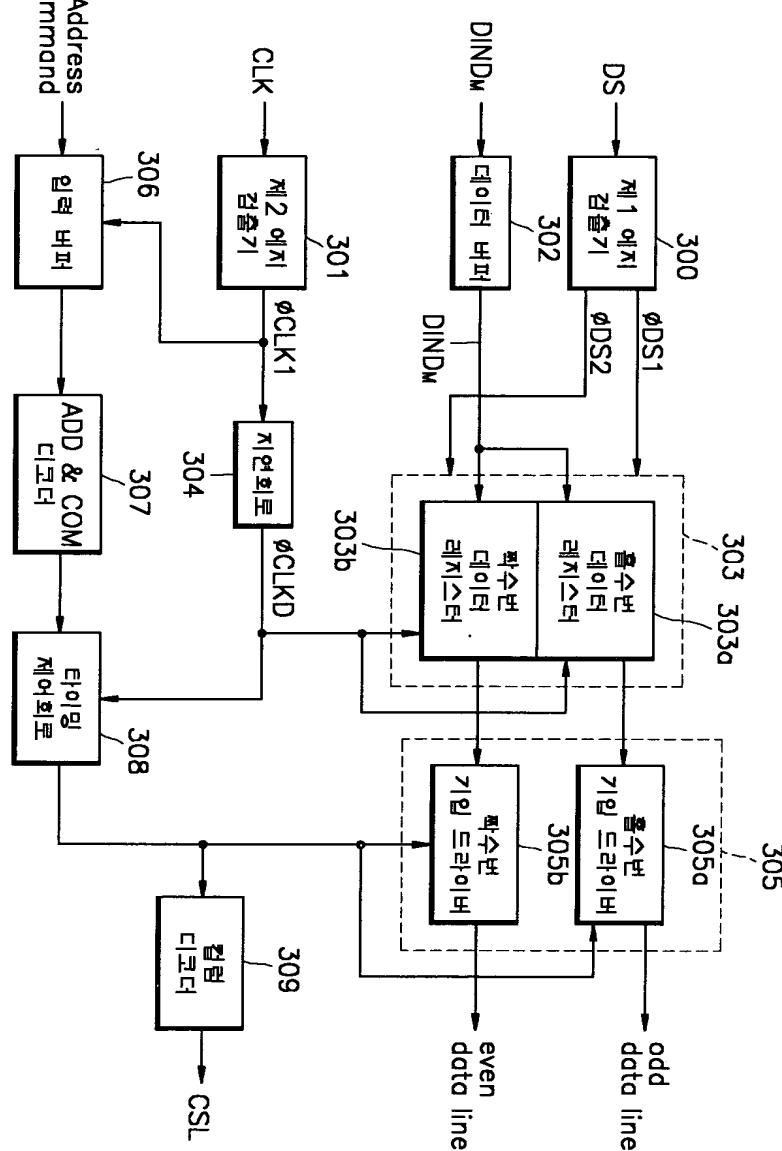
상기 카운트 신호를 수신하여 지시신호를 발생하는 단계;

상기 지시신호에 응답하여 상기 N 비트 병렬데이터를 래치하는 제 1래치단계; 및

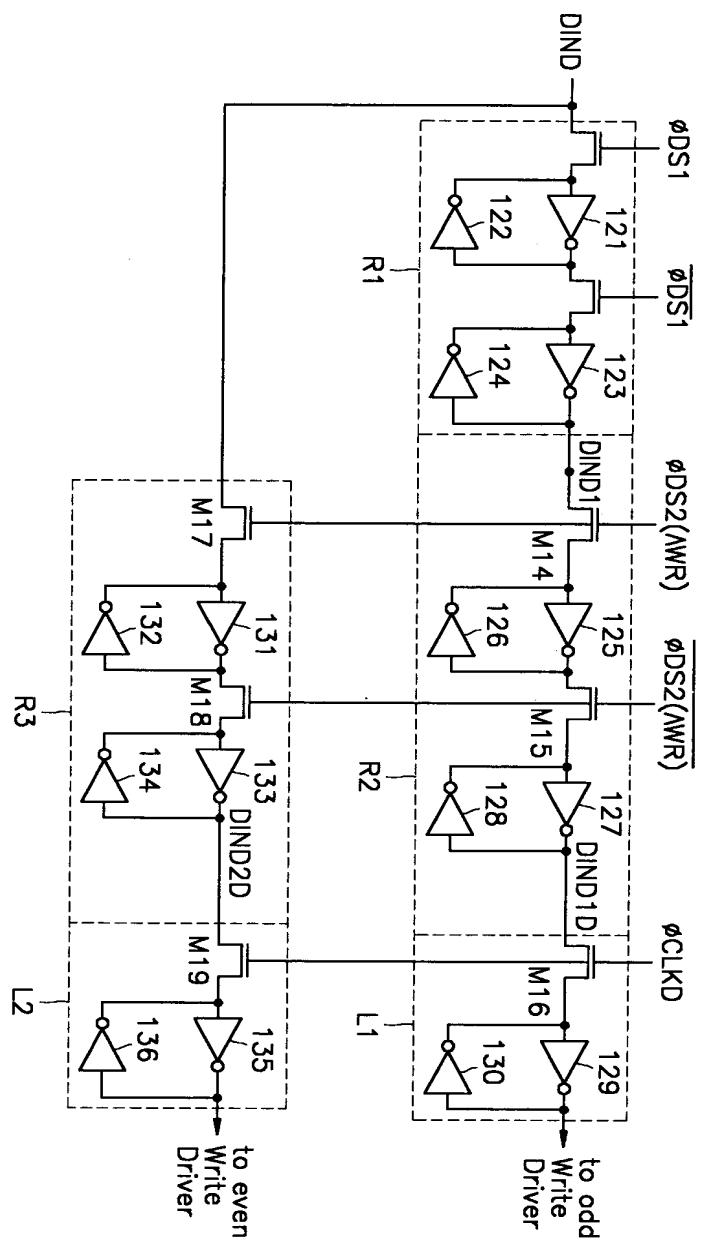
소정의 클럭신호에 응답하여 상기 제 1래치단계에서 래치된 데이터를 수신하고 래치하는 제 2 래치단계를 구비하는 것을 특징으로 하는 데이터 프리페치 방법.

【도면】

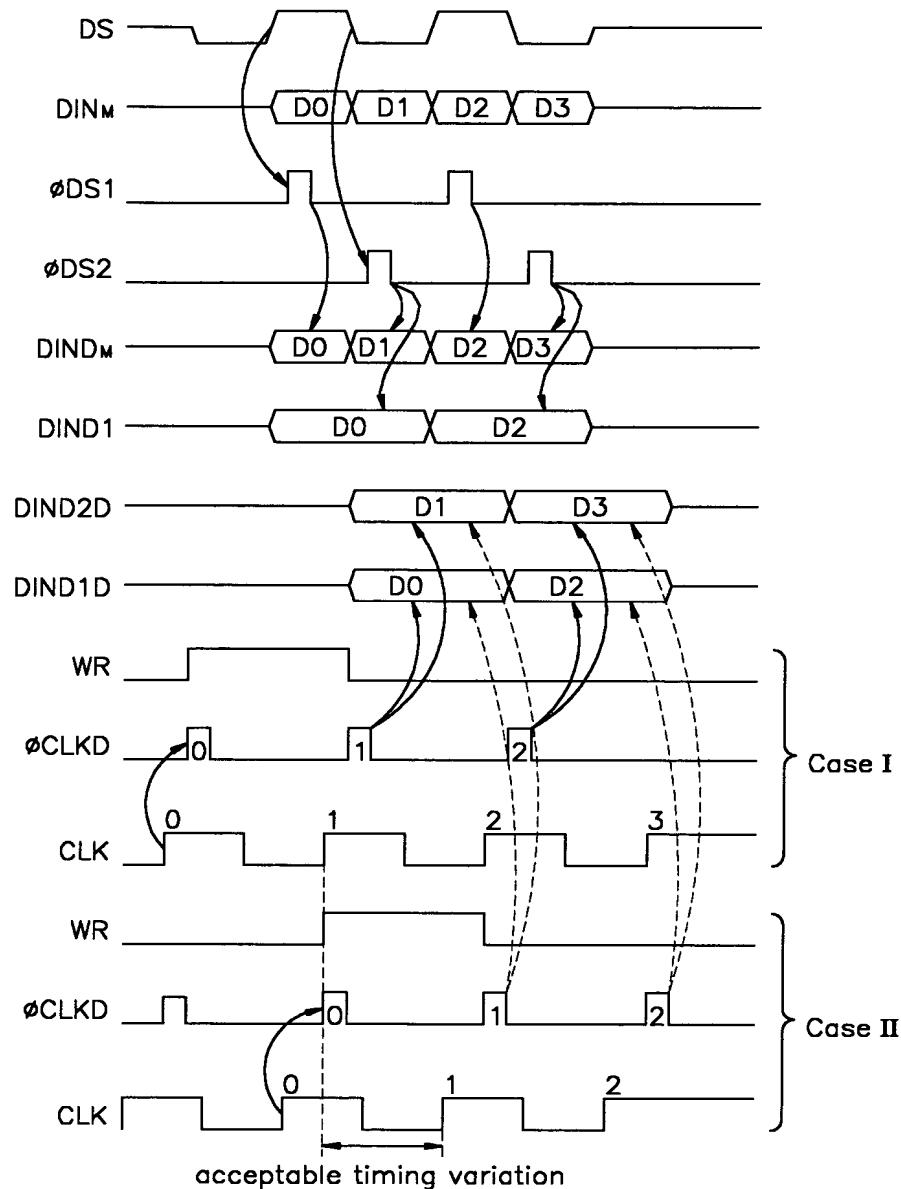
【1a】



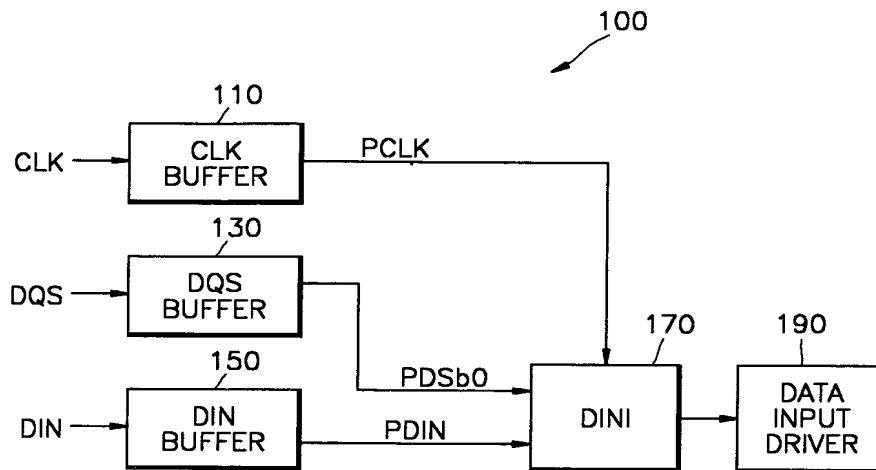
【도 1b】



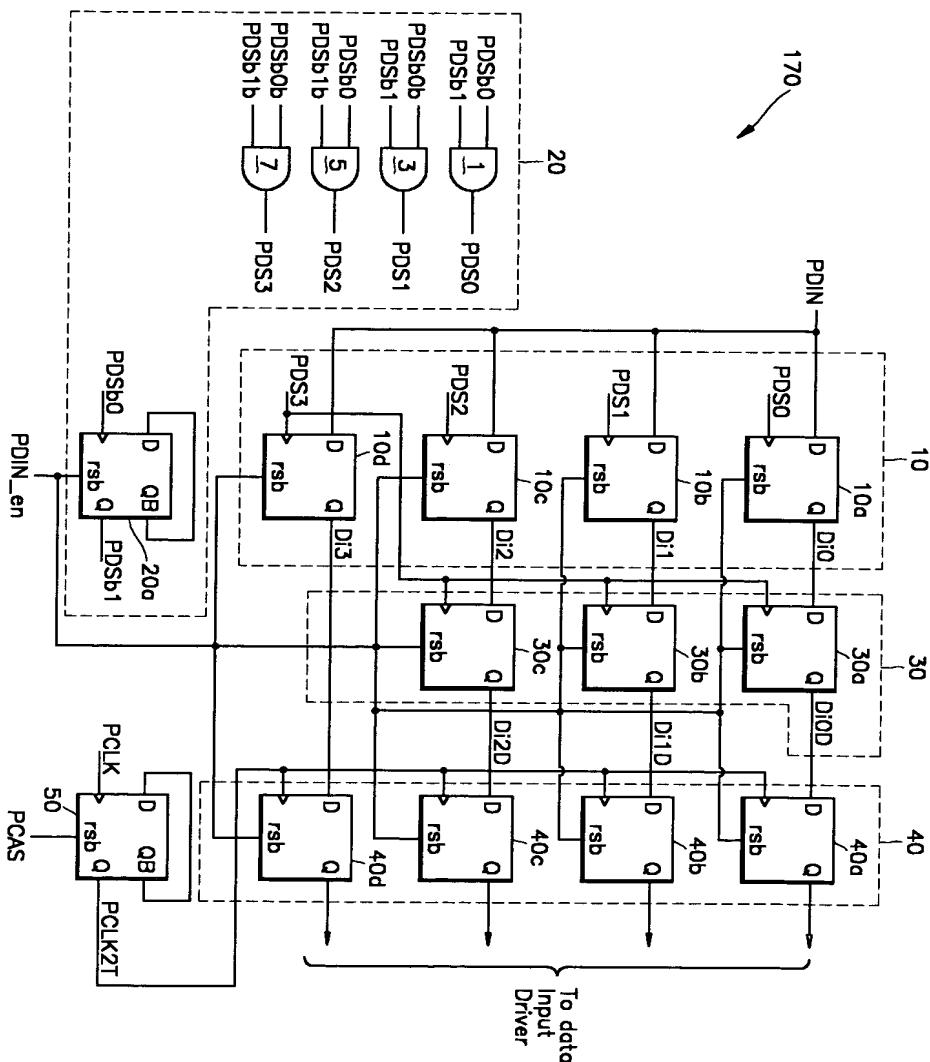
【도 2】



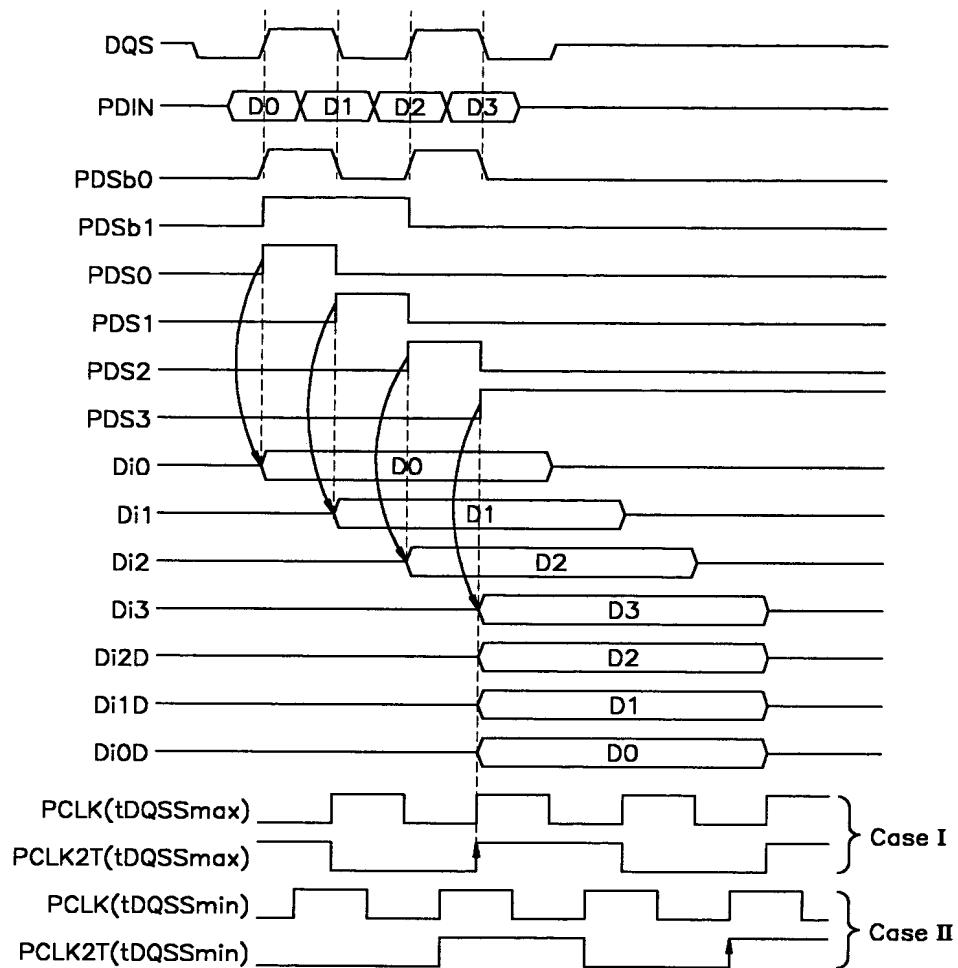
【도 3】

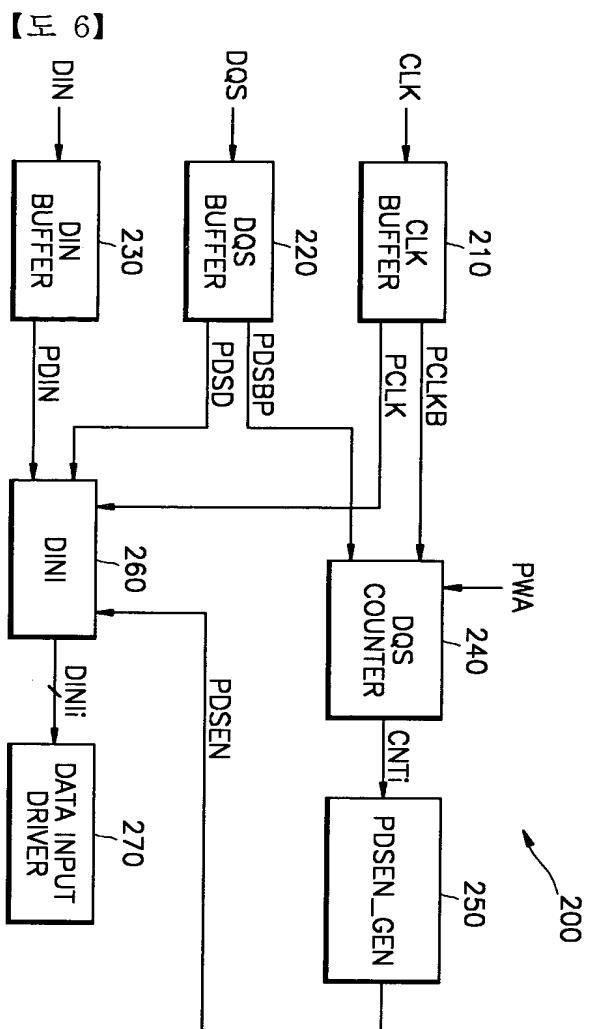


【도 4】

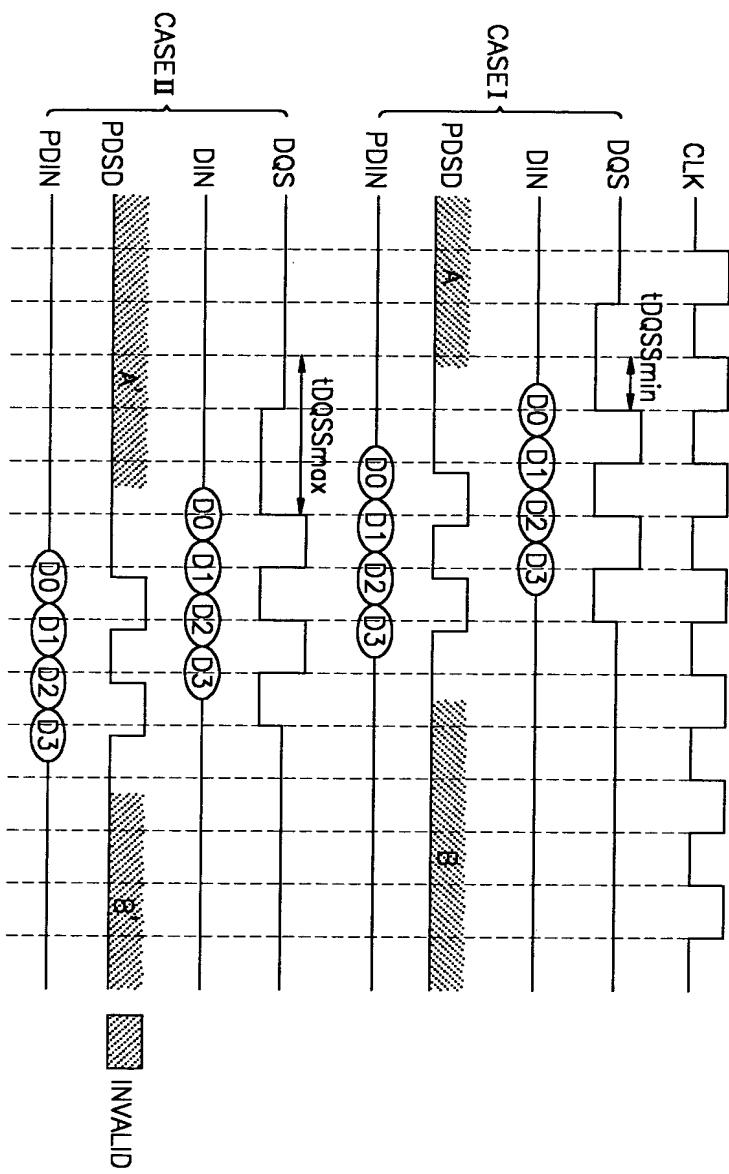


【도 5】

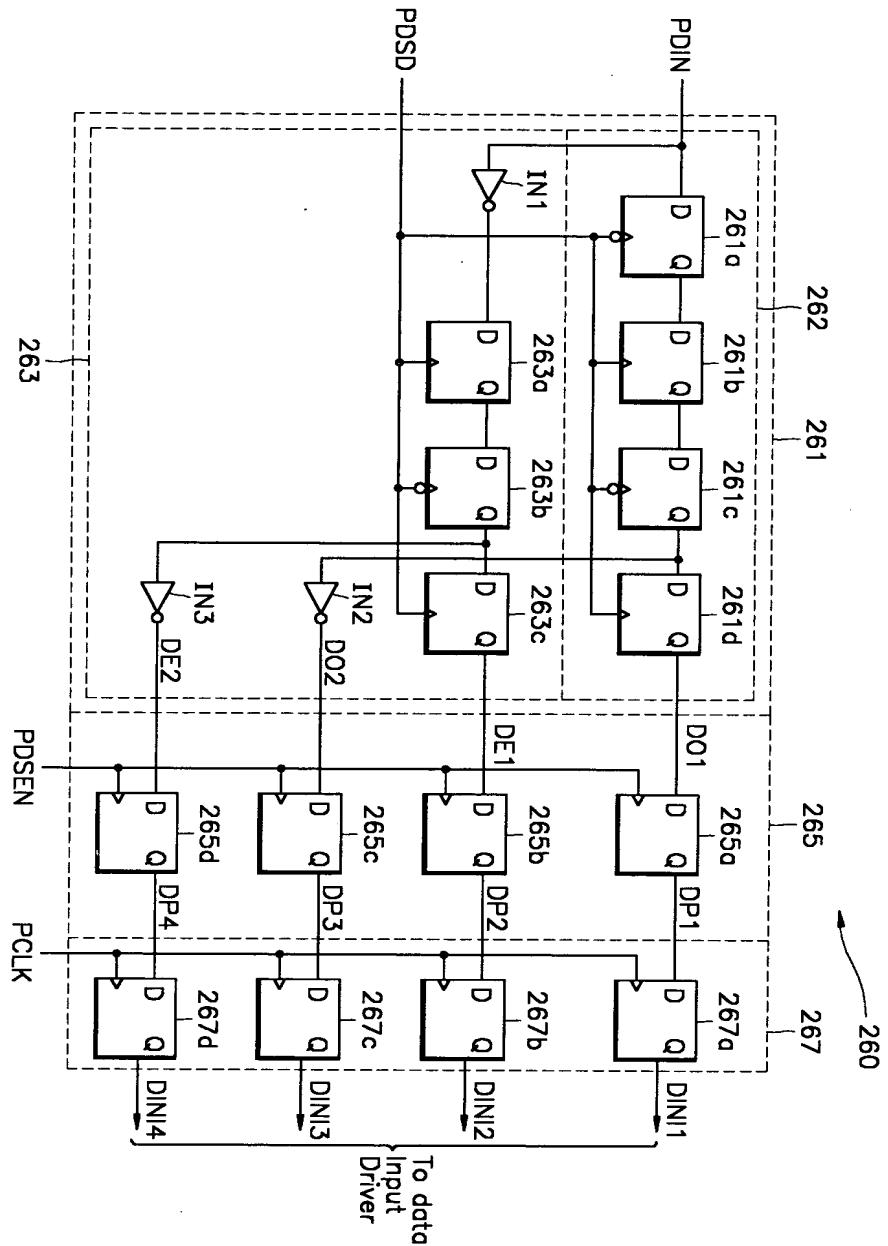




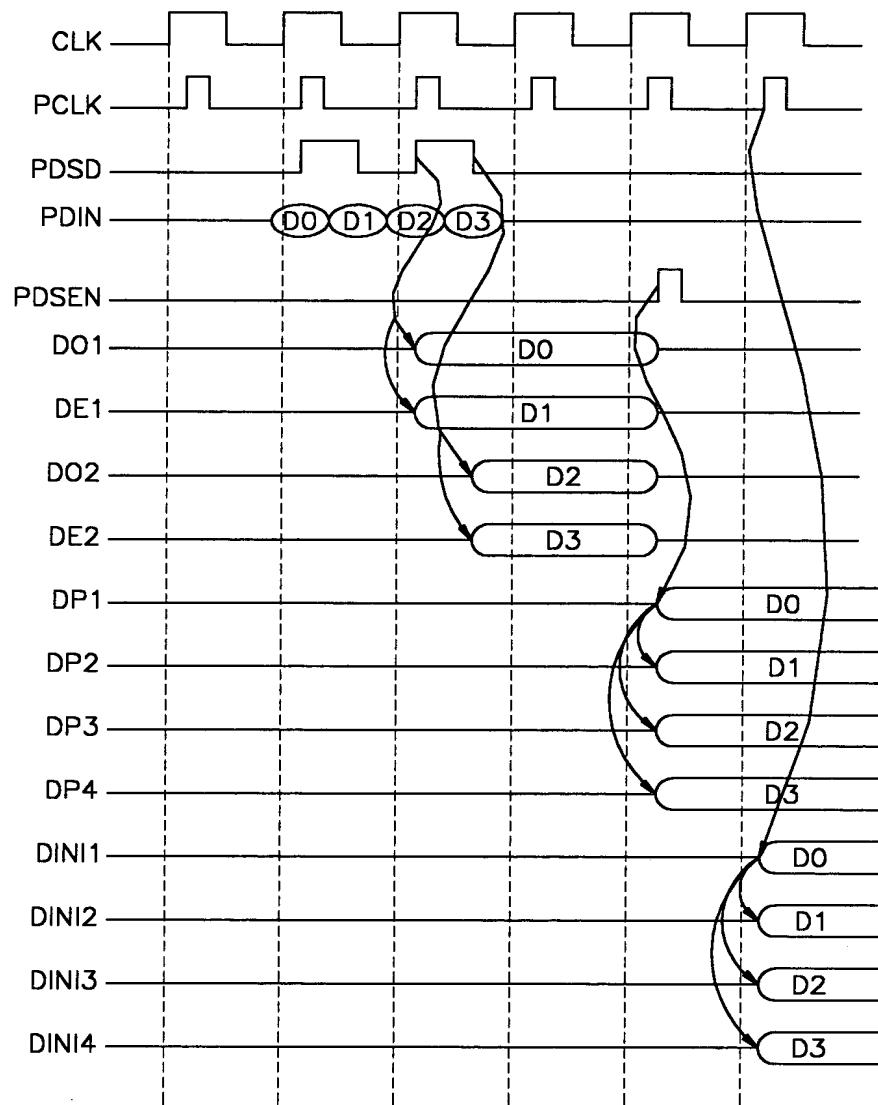
【도 7】



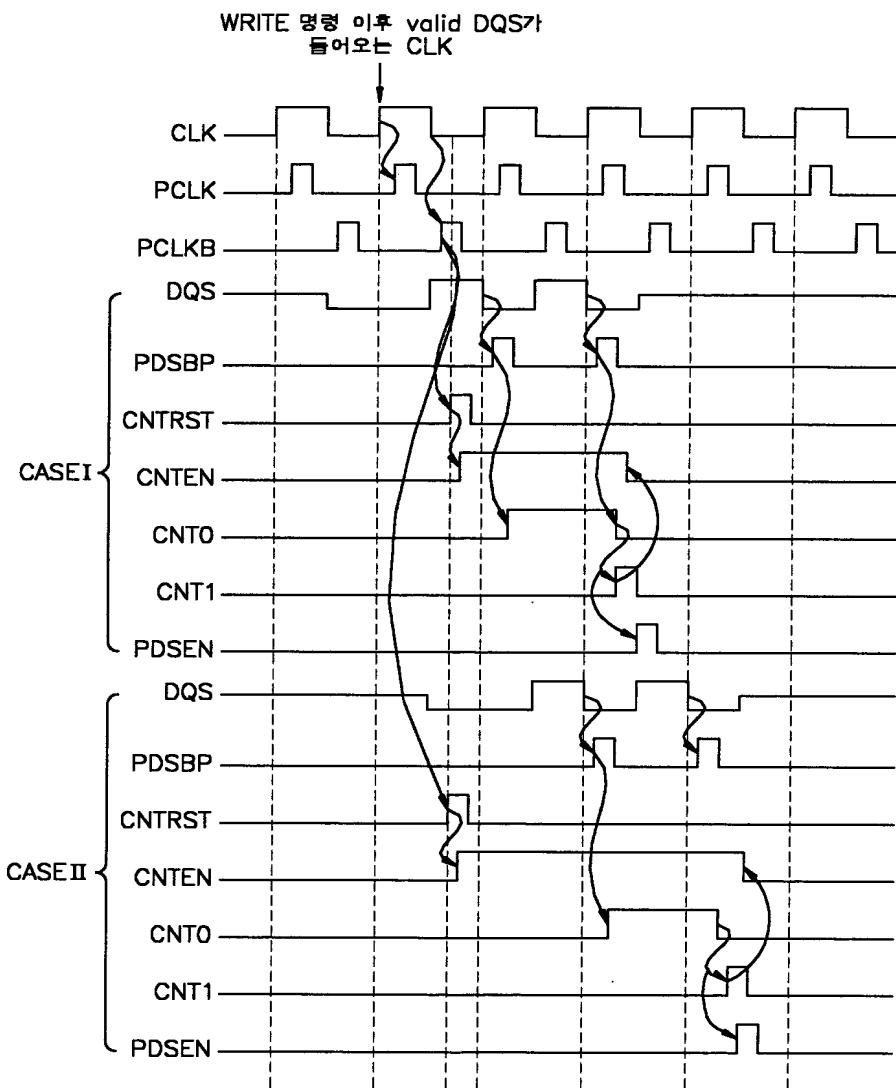
【도 8】

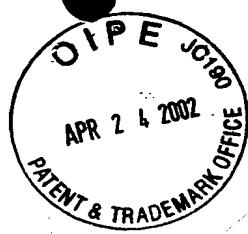


【도 9】



【도 10】





대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 24044 호
Application Number PATENT-2001-0024044

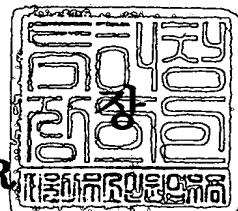
출원년월일 : 2001년 05월 03일
Date of Application MAY 03, 2001

출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2001 년 08 월 07 일

허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2001.05.03
【국제특허분류】	G11C
【발명의 명칭】	동기형 반도체 메모리 장치의 데이터 입력회로 및 데이터 입력 방법
【발명의 영문명칭】	Data input circuit and data input method for synchronous semiconductor memory device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	이정배
【성명의 영문표기】	LEE, Jung Bae
【주민등록번호】	670227-1046533
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 청명주공아파트 407 동 1001호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조 의 규정에 의한 출원심사 를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	7	면	7,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	15	항	589,000	원
【합계】	625,000 원			
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

데이터가 데이터 스트로브 신호에 동기되어 입력된 후, 클락신호에 재동기되어 메모리 어레이로 기입되는 경우, 상기 데이터 스트로브 신호와 클락신호 사이에 타이밍 마진을 증가시키는 데이터 입력회로 및 이에 관한 방법이 개시된다. 상기 입력회로는 데이터 스트로브 신호에 응답하여 $2^{(N+1)}$ (여기서 N은 자연수이다.)비트 시리얼 데이터를 $2^{(N+1)}$ 비트 병렬 데이터로 출력하는 변환회로를 구비하며, 상기 $2^{(N+1)}$ 비트 병렬 데이터 각각은 상기 데이터 스트로브 신호의 $2^{(N)}$ 클락에 상응하는 유효 데이터 윈도우를 가지며, 상기 $2^{(N+1)}$ 비트 병렬 데이터는 내부클락에 응답하여 상기 내부 클락을 $2^{(N)}$ 분주한 클락에 응답하여 출력된다. 상기 변환회로는 상기 데이터 스트로브 신호 및 상기 데이터 스트로브 신호를 $2^{(N)}$ 내지 2 분주한 분주 신호들을 논리 연산하여 $2^{(N+1)}$ 개의 내부 스트로브 신호들을 발생하는 논리 회로, 상기 내부 스트로브 신호들에 응답하여 상기 $2^{(N+1)}$ 비트 시리얼 데이터를 상기 $2^{(N+1)}$ 비트 병렬 데이터로 각각 래치하는 제 1래치회로, 상기 $2^{(N+1)}$ 비트 시리얼 데이터의 $2^{(N+1)}$ 번째 데이터를 래치하는 상기 내부 데이터 스트로브 신호에 응답하여 상기 제 1래치회로의 출력신호들을 래치하는 제 2래치회로 및 상기 제 1클락에 응답하여 상기 $2^{(N+1)}$ 비트 병렬 데이터를 출력하는 출력회로를 구비한다.

【대표도】

도 3

【명세서】

【발명의 명칭】

동기형 반도체 메모리 장치의 데이터 입력회로 및 데이터 입력 방법{Data input circuit and data input method for synchronous semiconductor memory device}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

도 1a는 종래의 동기식 반도체 메모리 장치의 블락 다이어그램이다.

도 1b는 도 1a의 데이터 레지스터의 상세한 회로도이다.

도 2는 도 1의 반도체 메모리 장치의 데이터 기입 동작을 나타내는 타이밍 다이어그램이다.

도 3은 본 발명의 일 실시예에 따른 동기식 반도체 메모리 장치의 블락 다이어그램이다.

도 4는 도 3의 반도체 메모리 장치의 데이터 기입 동작을 나타내는 타이밍 다이어그램이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 동기식 반도체 메모리장치에 관한 것으로, 보다 상세하게는 N비트 프리페치(prefetch)로 동작하는 동기식 반도체 메모리 장치에서 데이터 스트로브 신호와 클락신호사이의 타이밍 마진을 개선하는 동기식 반도체 메모리 장치의 입력회로에 관한 것이다.

<8> DRAM의 동작 속도를 향상시키기 위하여 외부의 시스템 클락에 동기되어 동작하는 싱크로너스 DRAM(synchronous DRAM; 이하 'SDRAM'이라 한다.)이 개발되었다. 또한 데이터 처리 속도를 더욱 향상시키기 위하여 한 클락의 상승 에지 및 하강 에지에 동기되어 데이터를 처리하는 이중 데이터 률(Double Data Rate; 이하 'DDR'이라 한다.) SDRAM과 Rambus DRAM이 개발되었다.

<9> DDR SDRAM의 경우 데이터가 고속으로 전송되므로 소스 싱크로너스 인터페이스(source synchronous interface)를 사용한다. 이는 데이터의 입출력이 데이터의 소스에서 데이터와 같이 만들어진 데이터 스트로브 신호(data strobe signal: 이하 'DS'라 한다.)에 동기되어 전달됨을 의미한다.

<10> 도 1a는 종래의 동기식 반도체 메모리 장치의 블락 다이어그램이다. 도 1b는 도 1a의 데이터 레지스터의 상세한 회로도이다. 도 2는 도 1의 반도체 메모리 장치의 데이터 기입 동작을 나타내는 타이밍 다이어그램이다. 도 1a, 도 1b 및

도 2의 상세한 설명은 한국 출원번호 97-9191에 상세히 기재되어 있으므로 이에 대한 상세한 설명은 생략한다.

<11> 결론적으로 종래 기술은 클럭신호(CLK)와 데이터 스트로브 신호(DS)의 타이밍 마진을 나타내는 규격(tDQSS)이 작으므로 클럭신호(CLK)와 데이터 스트로브 신호(DS)사이의 재동기의 타이밍마진이 작아서 시스템의 구성에 어려움이 있었다

【발명이 이루고자 하는 기술적 과제】

<12> 따라서 본 발명이 이루고자 하는 기술적인 과제는 데이터가 데이터 스트로브 신호에 동기되어 입력된 후 클럭신호에 재동기되어 메모리 어레이로 기입되는 경우, 상기 데이터 스트로브 신호와 클럭신호 사이에 타이밍 마진을 증가시키는 데이터 입력회로 및 이에 관한 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<13> 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 클럭의 상승에지와 상기 클럭의 하강에지에 동기되어 데이터를 억세스하는 반도체 메모리 장치는 데이터 스트로브 신호에 응답하여 $2^{(N+1)}$ (여기서 N은 자연수이다.)비트 시리얼 데이터를 $2^{(N+1)}$ 비트 병렬 데이터로 출력하는 변환회로를 구비하며, 상기 $2^{(N+1)}$ 비트 병렬 데이터 각각은 상기 데이터 스트로브 신호의 2^N 클락에 상응하는 유효 데이터 윈도우를 가지며, 상기 $2^{(N+1)}$ 비트 병렬 데이터는 제 1클락에 응답하여 출력된다.

<14> 상기 변환회로는 논리회로, 제 1래치회로, 제 2래치회로 및 출력회로를 구비한다. 상기 논리회로는 상기 데이터 스트로브 신호 및 상기 데이터 스트로브 신호를 $2^{(N)}$ 내지 2 분주한 분주 신호들을 논리 연산하여 $2^{(N+1)}$ 개의 내부 스트로브 신호들을 발생한다.

<15> 상기 제 1래치회로는 상기 내부 스트로브 신호들에 응답하여 상기 $2^{(N+1)}$ 비트 시리얼 데이터를 상기 $2^{(N+1)}$ 비트 병렬 데이터로 각각 래치하며, 상기 제 2래치회로는 상기 $2^{(N+1)}$ 비트 시리얼 데이터의 $2^{(N+1)}$ 번째 데이터를 래치하는 상기 내부 데이터 스트로브 신호에 응답하여 상기 제 1래치회로의 출력신호들을 래치한다.

<16> 상기 출력회로는 상기 제 1클락에 응답하여 상기 $2^{(N+1)}$ 비트 병렬 데이터를 데이터 버스라인으로 출력한다. 상기 반도체 메모리 장치는 상기 제 1클락을 발생하는 분주회로를 더 구비하며, 상기 분주 회로는 내부클락에 응답하여 상기 내부 클락을 $2^{(N)}$ 분주한다.

<17> 기술적 과제를 달성하기 위한 본 발명의 일실시예에 따른 반도체 메모리 장치에 데이터를 입력하는 방법은 (a) 데이터 스트로브 신호 및 상기 데이터 스트로브 신호를 $2^{(N)}$ (여기서 N은 자연수)내지 2 분주한 분주 신호들을 논리 연산하여 $2^{(N+1)}$ 개의 내부 데이터 스트로브 신호들을 생성하는 단계, (b) 상기 내부 데이터 스트로브 신호들에 응답하여 $2^{(N+1)}$ 비트 시리얼 데이터를 $2^{(N+1)}$ 비트 병렬 데이터로 각각 래치하는 단계 및 (c) 제 1클락에 응답하여 상기 $2^{(N+1)}$ 비트의 병렬 데이터를 출력하는 단계를 구비한다.

<18> 상기 (b) 단계는 상기 $2^{(N+1)}$ 비트 시리얼 데이터의 $2^{(N+1)}$ 번째 데이터를 래치하는 상기 내부 데이터 스트로브 신호에 응답하여 상기 $2^{(N+1)}$ 비트 병렬 데이터를 정열하는 단계를 더 구비하며, 상기 $2^{(N+1)}$ 비트의 병렬 데이터 각각은 상기 데이터 스트로브 신호의 2^N 클락에 상응하는 유효 데이터 윈도우를 갖으며, 상기 제 1클락은 내부 클락을 2^N 분주한 클락이다.

<19> 또한 본 발명의 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 클락의 상승에지와 상기 클락의 하강에지에 동기되어 데이터를 억세스하는 반도체 메모리 장치는 분주회로, 다수개의 스트로브 펄스 발생회로, 제 1래치회로, 제 2래치회로 및 출력회로를 구비한다.

<20> 상기 분주회로는 외부에서 입력되는 제 1데이터 스트로브 신호에 응답하여 상기 제 1데이터 스트로브 신호를 분주한 제 2데이터 스트로브 신호를 발생하며, 상기 다수개의 스트로브 펄스 발생회로는 상기 제 1데이터 스트로브 신호와 상기 제 2데이터 스트로브 신호를 논리 조합하여 다수개의 스트로브 펄스신호를 발생한다.

<21> 상기 다수개의 제 1래치회로는 상기 다수개의 스트로브 펄스신호 각각에 동기되어, 수신되는 다수개의 시리얼 데이터를 순차적으로 각각 래치하며, 상기 제 2래치회로는 상기 소정의 스트로브 펄스 신호에 동기되어 상기 제 1래치회로에 저장된 데이터를 수신하여 저장한다.

<22> 상기 출력회로는 소정의 클락신호에 응답하여 상기 제 2래치회로에 저장된 데이터를 수신하고, 상기 수신된 데이터를 동시에 데이터 버스라인으로 전송한다

<23> 본 발명의 기술적 과제를 달성하기 위한 본 발명의 또 다른 실시예에 따른 클락의 상승에지와 상기 클락의 하강에지에 동기되어 데이터를 억세스하는 반도체 메모리 장치는 제 1분주회로, 제 2분주회로, 수개의 스트로브 펄스신호 발생회로, 복수개의 제 1래치회로, 복수개의 제 2래치회로 및 출력회로를 구비한다.

<24> 상기 제 1분주회로는 외부에서 입력되는 제 1데이터 스트로브 신호에 응답하여 상기 제 1데이터 스트로브 신호를 분주한 제 2데이터 스트로브신호를 출력하며, 상기 제 2분주회로는 외부에서 입력되는 제 1클락신호에 응답하여 상기 제 1클락신호를 분주한 제 2클락신호를 출력한다.

<25> 상기 다수개의 스트로브 펄스신호 발생회로는 상기 제 1데이터 스트로브 신호와 상기 제 2데이터 스트로브 신호를 논리 조합하여 다수개의 스트로브 펄스신호를 발생한다.

<26> 상기 제 1래치회로는 상기 다수개의 스트로브 펄스신호 각각에 동기되어, 수신되는 다수개의 시리얼 데이터를 순차적으로 각각 래치하며, 상기 제 2래치회로는 상기 제 1래치회로의 출력신호를 수신하여 저장하고, 상기 출력회로는 상기 제 2클락신호에 응답하여 상기 제 2래치회로의 출력신호를 동시에 데이터 버스라인으로 전송한다.

<27> 상기 기술적 과제를 달성하기 위한 본 발명의 또 다른 실시예에 따른 클락의 상승에지와 상기 클락의 하강에지에 동기되어 데이터를 억세스하는 반도체 메모리 장치는 제 1분주회로, 제 2분주회로, 스트로브 펄스 발생회로, 제 1래치회로, 제 2래치회로 및 출력회로를 구비한다.

<28> 상기 제 1분주회로는 외부에서 입력되는 제 1데이터 스트로브 신호에 응답하여 상기 제 1데이터 스트로브 신호를 분주한 제 2데이터 스트로브신호를 출력하며, 상기 제 2분주회로는 외부에서 입력되는 제 1클락신호에 응답하여 상기 제 1클락신호를 분주한 제 2클락신호를 출력한다.

<29> 상기 다수개의 스트로브 펄스 발생회로는 상기 제 1데이터 스트로브 신호와 상기 제 2데이터 스트로브 신호를 논리 조합하여 다수개의 스트로브 펄스신호를 발생한다.

<30> 상기 제 1래치회로는 상기 다수개의 스트로브 펄스신호 각각에 동기되어, 수신되는 다수개의 시리얼 데이터를 순차적으로 각각 래치하는 다수개의 래치들을 구비하며, 상기 제 2래치회로는 상기 다수개의 시리얼 데이터 중에서 최종적으로 수신된 데이터를 래치하기 위하여 인가되는 소정의 스트로브 펄스신호에 동기되어, 상기 제 1래치회로의 출력신호를 동시에 수신하여 래치하는 다수개의 래치들을 구비한다.

<31> 상기 출력회로는 상기 제 2클락신호에 응답하여 상기 제 2래치회로의 출력신호와 최종적으로 수신된 데이터를 래치하는 상기 제 1래치회로의 출력신호를 동시에 데이터 버스라인으로 전송한다.

<32> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<33> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<34> 도 3은 본 발명의 일 실시예에 따른 동기식 반도체 메모리 장치의 입력회로의 블락 다이어그램이다. 도 3의 입력회로는 4비트 프리페치(prefetch)로 동작하고 데이터 스트로브 신호(DS)의 상승 및 하강에지에 동기되어 4 비트 시리얼 데이터를 래치(latch)하고, 동기식 반도체 메모리 장치의 클락에 응답하여 메모리 어레이로 4비트 병렬 데이터를 기입하는 시이얼 입력 병렬 출력회로(serial input parrel output circuit; 이하 'SIP0'라 한다.)이다.

<35> 도 3을 참조하면, 본 발명의 실시예에 따른 4비트 프리페치 SIP0는 제 1래치 회로(10), 논리회로(20), 제 2래치회로(30) 및 출력회로(40)를 구비하며, 클럭 주파수 분주 회로(50)를 더 구비한다.

<36> 도 4는 도 3의 입력회로의 데이터 기입 동작을 나타내는 타이밍 다이어그램이다. 이하에서는 도 3 및 도 4를 참조하여 본 발명의 실시예에 따른 4 비트 프리페치 SIP0의 데이터 기입동작이 상세히 설명되어진다.

<37> 논리회로(20)는 내부 데이터 스트로브 분주 회로(20a) 및 다수개의 논리 게이트들(1 내지 7)을 구비한다.

<38> 내부 데이터 스트로브 분주 회로(20a)는 메모리 컨트롤러(미 도시)로부터 발생된 기입 인에이블 신호(PDIN_en)가 활성화(예컨대 논리 하이)된 경우, 외부로부터 입력되는 데이터 스트로브 신호(data strobe signal; 이하 'DS'라 한다.)를 버퍼링한 제 1내부 DS(PDSb0)에 응답하여, 제 1내부 DS(PDSb0)를 2 분주한 제 2 내부DS(PDSb1)를 출력한다.

<39> 내부 데이터 스트로브 분주 회로(20a)는 디 플립플롭(D-flip flop)으로 구성되며, 디 플립플롭의 입력단(D)과 제 2출력단(QB)은 서로 전기적으로 접속되어 있다. 내부 데이터 스트로브 분주 회로(20a)의 다양한 변형은 당업계에서 용이하게 실시할 수 있다.

<40> 논리 게이트(1)는 제 1내부 DS(PDSb0) 및 제 2 내부DS(PDSb1)를 논리곱하여 제 3내부 DS(PDS0)를 출력하며, 논리 게이트(3)는 제 1내부 DS(PDSb0)를 반전시킨 신호(PDSb0b) 및 제 2 내부DS(PDSb1)를 논리곱하여 제 4내부 DS(PDS1)를 출력한다.

<41> 또한, 논리 게이트(5)는 제 1내부 DS(PDSb0) 및 제 2 내부DS(PDSb1)를 반전시킨 신호(PDSb1b)를 논리곱하여 제 5내부 DS(PDS2)를 출력하며, 논리 게이트(7)는 제 1내부 DS(PDSb0)를 반전시킨 신호(PDSb0b) 및 제 2 내부DS(PDSb1)를 반전시킨 신호(PDSb1b)를 논리곱하여 제 6내부 DS(PDS1)를 출력한다.

<42> 제 3내부 DS 및 제 5내부 DS(PDS0 및 PDS2)는 데이터 스트로브 신호(DS)의 상승에지(rising edge)에 동기되어 활성화(active)되며, 제 4내부 DS 및 제 6내부 DS(PDS1 및 PDS3)는 데이터 스트로브 신호(DS)의 하강에지(falling edge)에 동기되어 활성화된다.

<43> 결국 4 비트 시리얼 데이터를 캡춰하는 신호인 제 3내부 DS 및 제 6내부 DS(PDS0 내지 PDS3)는 DS를 4분주한 주파수이므로, SIP0의 전력소모가 감소하며, 재동기 타이밍 마진(timing margin)도 증가된다.

<44> 제 1래치 회로(10)는 다수개의 래치 회로들, 예컨대 디-플립플롭들(10a, 10b, 10c 및 10d)로 구성된다. 제 1래치 회로(10)는 기입 인에이블 신호(PDIN_en)가 활성화된 경우, 제 3내부 DS 및 제 6내부 DS(PDS0 내지 PDS3)의 상승에지에 응답하여 입력되는 4비트 데이터 스트링(data string; Din)을 각각 래치한다. 또한, 제 1래치 회로(10)는 기입 인에이블 신호(PDIN_en)가 비활성화(예컨대 논리 로우)된 경우 리셋 된다.

<45> 즉, 디 플립플롭(10a)은 제 3내부 DS(PDS0)의 상승 에지에 응답하여 데이터 스트링(Din)의 첫 번째 데이터(D0)를 래치하며, 디 플립플롭(10b)은 제 4내부 DS(PDS1)의 상승 에지에 응답하여 데이터 스트링(Din)의 두 번째 데이터(D1)를 래치한다.

<46> 디 플립플롭(10c)은 제 5내부 DS(PDS2)의 상승 에지에 응답하여 데이터 스트링(Din)의 세 번째 데이터(D2)를 래치하고, 디 플립플롭(10d)은 제 6내부 DS(PDS3)의 상승 에지에 응답하여 데이터 스트링(Din)의 네 번째 데이터(D3)를 래치한다.

<47> 제 2래치 회로(30)는 다수개의 래치 회로들, 예컨대 디-플립플롭들(30a, 30b 및 30c)로 구성된다. 제 2래치 회로(30)는 제 6내부 DS(PDS3)의 상승에지에 응답하여 제 1래치 회로(10)의 다수개의 래치 회로들(10a, 10b 및 10c)의 출력신호를 래치한다.

<48> 따라서 제 2래치 회로(30)의 출력신호들(Di0D 내지 Di2D)은 DS의 2클락에 상응하는 유효 데이터 윈도우(valid data window)를 갖는다.

<49> 클럭 주파수 분주 회로(50)는 독출(read) 및 기입(write) 등 CAS(column address strobe; 이하 'CAS'라 한다) 명령에 의하여 발생하는 신호인 제 2명령신호(PCAS)가 활성화되는 경우, 내부 클럭신호(PCLK)를 수신하여 2분주한 2분주 클럭신호(PCLK2T)를 출력한다.

<50> 출력회로(40)는 기입 인에이블 신호(PDIN_en)가 활성화된 경우, 2분주 클럭신호(PCLK2T)에 응답하여 4비트 병렬데이터를 데이터 기입 드라이버들로 출력한다.

<51> 도 4를 참조하면, 경우 I (Case I)는 내부 클럭신호(PCLK)와 데이터 스트로브 신호(DS)의 타이밍 마진을 나타내는 규격(tDQSS)이 최대(tDQSSmax)인 경우를 나타내며, 경우 II (Case II)는 tDQSS가 최소(tDQSSmin)인 경우를 나타낸다.

<52> 본 발명의 실시예에 따른 반도체 메모리 장치는 tDQSS의 최대 값과 최소 값 사이의 윈도우가 데이터 스트로브 신호(DS)의 2클락에 상응하므로 타이밍 마진이 증가한다.

<53> 또한, 데이터 스트로브 신호에 동기되어 $2^{(N+1)}$ (여기서 N은 자연수이다.) 비트 시리얼 데이터를 $2^{(N+1)}$ 비트 병렬 데이터로 출력하는 데이터 입력회로는 도 3을 변형하여 간단히 구현 할 수 있다.

<54> 따라서 도 3을 참조하여 데이터 스트로브 신호에 동기되어 $2^{(N+1)}$ (여기서 N 은 자연수이다.)비트 시리얼 데이터를 $2^{(N+1)}$ 비트 병렬 데이터로 출력하는 데이터 입력회로 및 데이터 입력 방법을 간단히 설명한다.

<55> 우선, 논리 회로(20)는 데이터 스트로브 신호(DS)를 2^0 \cdots , 2^2 , 2^1 분주 한 분주 신호들을 논리 연산하여 $2^{(N+1)}$ 개의 내부 스트로브 신호들을 발생한다.

<56> 예컨대, 8비트 시리얼 데이터를 수신하여 8비트 병렬 데이터로 출력하는 경우(N 이 2인 경우), 논리 회로(20)는 내부 데이터 스트로브 분주 회로(20a)를 두 개 직렬로 연결하여 제 1내부 DS(PDSb0)를 2 분주한 신호 및 제 1내부 DS(PDSb0)를 4분주한 신호를 발생시킨다.

<57> 그리고 8개의 3입력(3-input) 논리 게이트들을 사용하여 본 발명의 실시예에 유사하게 상기 세 신호들을 논리 조합하여 데이터 스트로브 신호의 상승 및 하강에지에 동기되어 활성화되는 8개의 내부 스트로브 신호들을 각각 발생시킨다

<58> 제 1래치회로(10)는 상기 내부 스트로브 신호들에 각각 응답하여, 상기 $2^{(N+1)}$ 비트 시리얼 데이터를 상기 $2^{(N+1)}$ 비트 병렬 데이터로 각각 래치한다. 예컨대, 제 1래치회로(10)는 8개의 래치회로들을 구비하고, 8개의 내부 스트로브 신호들의 상승에지의 각각에 응답하여 8비트 시리얼 데이터를 8비트 병렬 데이터로 각각 래치한다.

<59> 제 2래치회로(30)는 상기 $2^{(N+1)}$ 비트 시리얼 데이터의 $2^{(N+1)}$ 번째 데이터를 래치하는 상기 내부 데이터 스트로브 신호에 응답하여 상기 제 1래치회로의

출력신호들을 래치한다. 예컨대 제 2래치회로(20)는 7개의 래치회로들을 구비하여, 각각의 래치회로들은 8비트 시리얼 데이터의 8번째 데이터를 래치하는 내부 데이터 스트로브 신호에 응답하여 제 1래치회로(10)의 출력신호들을 래치한다.

<60> 출력회로(40)는 내부 클락(PCLK)을 $2^{(N)}$ 분주한 클락에 응답하여 상기 $2^{(N+1)}$ 비트 병렬 데이터를 출력한다 예컨대 출력회로(40)의 8개의 입력단에는 데이터 스트로브 신호(DS)의 4개의 클락에 상응하는 유효 데이터 윈도우를 가진 8 개의 데이터들이 각각 대기하고 있으므로, 출력회로(40)는 내부 클락(PCLK)을 4 분주한 클락에 동기되어 8비트 병렬 데이터를 메모리 어레이의 기입 드라이버들 로 동시에 출력한다.

<61> 이 경우 tDQSS의 최대 값과 최소 값의 윈도우가 데이터 스트로브 신호(DS)의 4개 클락에 상응하므로 데이터 스트로브 신호(DS)와 클락의 재동기 타이밍 마진이 증가하므로 시스템의 설계가 용이하다.

<62> 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<63> 상술한 바와 같이 본 발명에 따른 데이터 입력회로 및 데이터 입력방법은 tDQSS의 타이밍 마진을 증가시키므로 시스템 설계가 용이한 장점이 있다.

【특허청구범위】

【청구항 1】

클락의 상승에지와 상기 클락의 하강에지에 동기되어 데이터를 액세스하는 반도체 메모리 장치에 있어서,

데이터 스트로브 신호에 응답하여 $2^{(N+1)}$ (여기서 N은 자연수이다.)비트 시리얼 데이터를 $2^{(N+1)}$ 비트 병렬 데이터로 출력하는 변환회로를 구비하며,

상기 $2^{(N+1)}$ 비트 병렬 데이터 각각은 상기 데이터 스트로브 신호의 2^N 클락에 상응하는 유효 데이터 윈도우를 가지며,

상기 $2^{(N+1)}$ 비트 병렬 데이터는 제 1클락에 응답하여 출력되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 2】

제 1항에 있어서, 상기 변환회로는,

상기 데이터 스트로브 신호 및 상기 데이터 스트로브 신호를 2^N 내지 2 분주한 분주 신호들을 논리 연산하여 $2^{(N+1)}$ 개의 내부 스트로브 신호들을 발생하는 논리 회로;

상기 내부 스트로브 신호들의 각각에 응답하여 상기 $2^{(N+1)}$ 비트 시리얼 데이터를 상기 $2^{(N+1)}$ 비트 병렬 데이터로 각각 래치하는 제 1래치회로;

상기 $2^{(N+1)}$ 비트 시리얼 데이터의 $2^{(N+1)}$ 번째 데이터를 래치하는 상기 내부 데이터 스트로브 신호에 응답하여 상기 제 1래치회로의 출력신호들을 래치하여 상기 $2^{(N+1)}$ 비트 병렬 데이터를 정렬시키는 제 2래치회로; 및

상기 제 1클락에 응답하여 상기 $2^{(N+1)}$ 비트 병렬 데이터를 출력하는 출력 회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 3】

제 1항에 있어서, 반도체 메모리 장치는,
상기 제 1클락을 발생하는 분주회로를 더 구비하며, 상기 분주 회로는 내부 클락에 응답하여 상기 내부 클락을 2^N 분주하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 4】

클락의 상승에지와 상기 클락의 하강에지에 동기되어 데이터를 억제스하는 반도체 메모리 장치에 있어서,
데이터 스트로브 신호에 동기되어 4비트 시리얼 데이터를 4비트 병렬 데이터로 변환하는 변환회로를 구비하며,

상기 4비트 병렬 데이터는 상기 데이터 스트로브 신호의 2클락에 상응하는 유효 데이터 윈도우를 가지며,

제 1클락에 동기되어 상기 4비트 병렬 데이터를 출력하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 5】

제 4항에 있어서, 상기 변환회로는,

상기 데이터 스트로브 신호 및 상기 데이터 스트로브 신호를 2분주한 분주 신호를 논리 조합하여 상기 데이터 스트로브 신호의 상승 및 하강에지에 동기되어 활성화되는 내부 데이터 스트로브 신호들을 발생하는 논리회로;

상기 내부 데이터 스트로브 신호들에 동기되어 상기 4비트 시리얼 데이터를 순차적으로 각각 래치하는 제 1래치회로;

상기 4비트 시리얼 데이터의 4번째 데이터를 래치하는 상기 내부 데이터 스트로브 신호에 동기되어 상기 제 1래치회로의 출력신호들을 래치하여 상기 4비트 시리얼 데이터를 정열시키는 제 2래치회로; 및

상기 제 1클락에 응답하여 상기 제 2래치회로의 출력신호를 출력하는 출력회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 6】

클락의 상승에지와 상기 클락의 하강에지에 동기되어 데이터를 억세스하는 반도체 메모리 장치에 데이터를 입력하는 방법에 있어서,

(a) 데이터 스트로브 신호 및 상기 데이터 스트로브 신호를 $2^{(N)}$ (여기서 N 은 자연수)내지 2 분주한 분주 신호들을 논리 연산하여 $2^{(N+1)}$ 개의 내부 데이터 스트로브 신호들을 생성하는 단계;

(b) 상기 내부 데이터 스트로브 신호들에 응답하여 $2^{(N+1)}$ 비트 시리얼 데이터를 $2^{(N+1)}$ 비트 병렬 데이터로 각각 래치하는 단계; 및

(c) 제 1클락에 응답하여 상기 $2^{(N+1)}$ 비트의 병렬 데이터를 출력하는 단계를 구비하는 것을 특징으로 하는 데이터 입력방법.

【청구항 7】

제 6항에 있어서, 상기 (b) 단계는,

상기 $2^{(N+1)}$ 비트 시리얼 데이터의 $2^{(N+1)}$ 번째 데이터를 래치하는 상기 내부 데이터 스트로브 신호에 응답하여 상기 $2^{(N+1)}$ 비트 병렬 데이터를 정렬하는 단계를 더 구비하는 것을 특징으로 하는 데이터 입력방법.

【청구항 8】

제 6항에 있어서, 상기 $2^{(N+1)}$ 비트의 병렬 데이터 각각은 상기 데이터 스트로브 신호의 2^N 클락에 상응하는 유효 데이터 윈도우를 갖는 것을 특징으로 하는 데이터 입력방법.

【청구항 9】

제 6항에 있어서, 상기 제 1클락은 내부 클락을 2^N 분주한 클락인 것을 특징으로 데이터 입력방법.

【청구항 10】

제 1클락의 상승 및 하강에지에 동기되어 $2^{(N+1)}$ (여기서 N은 자연수이다.) 비트 시리얼 데이터를 $2^{(N+1)}$ 비트 병렬 데이터로 변환하고, 상기 $2^{(N+1)}$ 비트 병렬 데이터의 유효 데이터 윈도우를 정렬시키는 변환회로; 및 제 2클락에 동기되어 상기 변환 회로의 출력신호를 출력하는 출력회로를 구비하며,

상기 $2^{(N+1)}$ 비트 병렬 데이터는 상기 제 1클락의 2^N 클락에 상응하는 유효 데이터 윈도우를 갖는 것을 특징으로 하는 데이터 입력회로.

【청구항 11】

제 10항에 있어서, 상기 변환회로는,

상기 제 1클락 및 상기 제 1클락을 $2^{(N)}$ 내지 2 분주한 분주 신호들을 논리 연산하여 $2^{(N+1)}$ 개의 제 3클락들을 발생하는 논리 회로;

상기 제 3클락들의 각각에 응답하여 상기 $2^{(N+1)}$ 비트 시리얼 데이터를 상기 $2^{(N+1)}$ 비트 병렬 데이터로 각각 래치하는 제 1래치회로; 및
상기 $2^{(N+1)}$ 비트 시리얼 데이터의 $2^{(N+1)}$ 번째 데이터를 래치하는 상기 제 3클락에 응답하여 상기 제 1래치회로의 출력신호를 상기 $2^{(N+1)}$ 비트 시리얼 데이터로 정열하는 제 2래치회로를 구비하는 것을 특징으로 하는 데이터 입력회로.

【청구항 12】

제 10항에 있어서, 상기 데이터 입력회로는,

상기 제 2클락을 발생하는 분주회로를 더 구비하여, 상기 분주회로는 내부 클락에 응답하여 상기 내부 클락을 $2^{(N)}$ 분주하는 것을 특징으로 데이터 입력회로.

【청구항 13】

클락의 상승에지와 상기 클락의 하강에지에 동기되어 데이터를 억세스하는 반도체 메모리 장치에 있어서,

외부에서 입력되는 제 1데이터 스트로브 신호에 응답하여 상기 제 1데이터 스트로브 신호를 분주한 제 2데이터 스트로브신호를 발생하는 분주회로;

상기 제 1데이터 스트로브 신호와 상기 제 2데이터 스트로브 신호를 논리 조합하여 다수개의 스트로브 펠스신호를 발생하는 다수개의 스트로브 펠스신호 발생회로;

상기 다수개의 스트로브 펠스신호 각각에 동기되어, 수신되는 다수개의 시리얼 데이터를 순차적으로 각각 래치하는 다수개의 제 1래치회로;

상기 소정의 스트로브 펠스 신호에 동기되어 상기 제 1래치회로에 저장된 데이터를 수신하여 저장하는 제 2래치회로; 및

소정의 클락신호에 응답하여 상기 제 2래치회로에 저장된 데이터를 수신하고, 상기 수신된 데이터를 동시에 데이터 버스라인으로 전송하는 출력회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 14】

클락의 상승에지와 상기 클락의 하강에지에 동기되어 데이터를 억세스하는 반도체 메모리 장치에 있어서,

외부에서 입력되는 제 1데이터 스트로브 신호에 응답하여 상기 제 1데이터 스트로브 신호를 분주한 제 2데이터 스트로브신호를 출력하는 제 1분주회로;

외부에서 입력되는 제 1클락신호에 응답하여 상기 제 1클락신호를 분주한 제 2클락신호를 출력하는 제 2분주회로;

상기 제 1데이터 스트로브 신호와 상기 제 2데이터 스트로브 신호를 논리 조합하여 다수개의 스트로브 펠스신호를 발생하는 다수개의 스트로브 펠스신호 발생회로;

상기 다수개의 스트로브 펠스신호 각각에 동기되어, 수신되는 다수개의 시리얼 데이터를 순차적으로 각각 래치하는 다수개의 제 1래치회로;

상기 제 1래치회로의 출력신호를 수신하여 저장하는 제 2래치회로; 및

상기 제 2클락신호에 응답하여 상기 제 2래치회로의 출력신호를 동시에 데이터 버스라인으로 전송하는 출력회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 15】

클락의 상승에지와 상기 클락의 하강에지에 동기되어 데이터를 억세스하는 반도체 메모리 장치에 있어서,

외부에서 입력되는 제 1데이터 스트로브 신호에 응답하여 상기 제 1데이터 스트로브 신호를 분주한 제 2데이터 스트로브신호를 출력하는 제 1분주회로;

외부에서 입력되는 제 1클락신호에 응답하여 상기 제 1클락신호를 분주한 제 2클락신호를 출력하는 제 2분주회로;

상기 제 1데이터 스트로브 신호와 상기 제 2데이터 스트로브 신호를 논리 조합하여 다수개의 스트로브 펠스신호를 발생하는 다수개의 스트로브 펠스신호 발생회로;

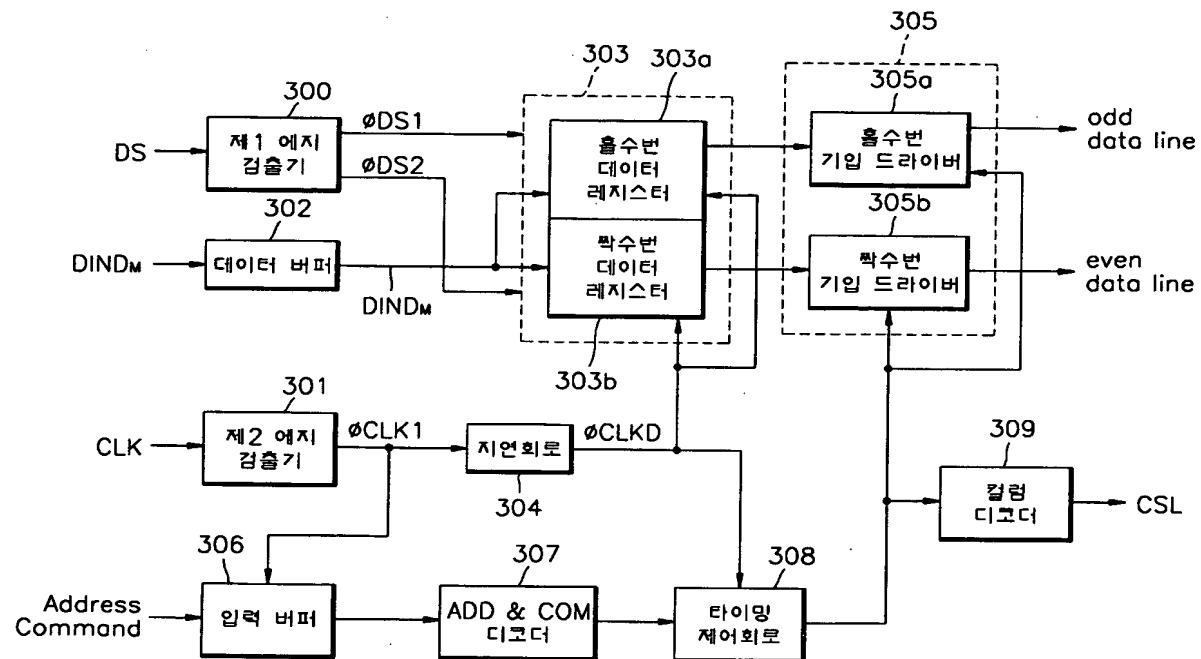
상기 다수개의 스트로브 펠스신호 각각에 동기되어, 수신되는 다수개의 시리얼 데이터를 순차적으로 각각 래치하는 다수개의 제 1래치회로;

상기 다수개의 시리얼 데이터 중에서 최종적으로 수신된 데이터를 래치하기 위하여 인가되는 소정의 스트로브 펄스신호에 동기되어, 상기 제 1래치회로의 출력신호를 동시에 수신하여 래치하는 다수개의 제 2래치회로; 및

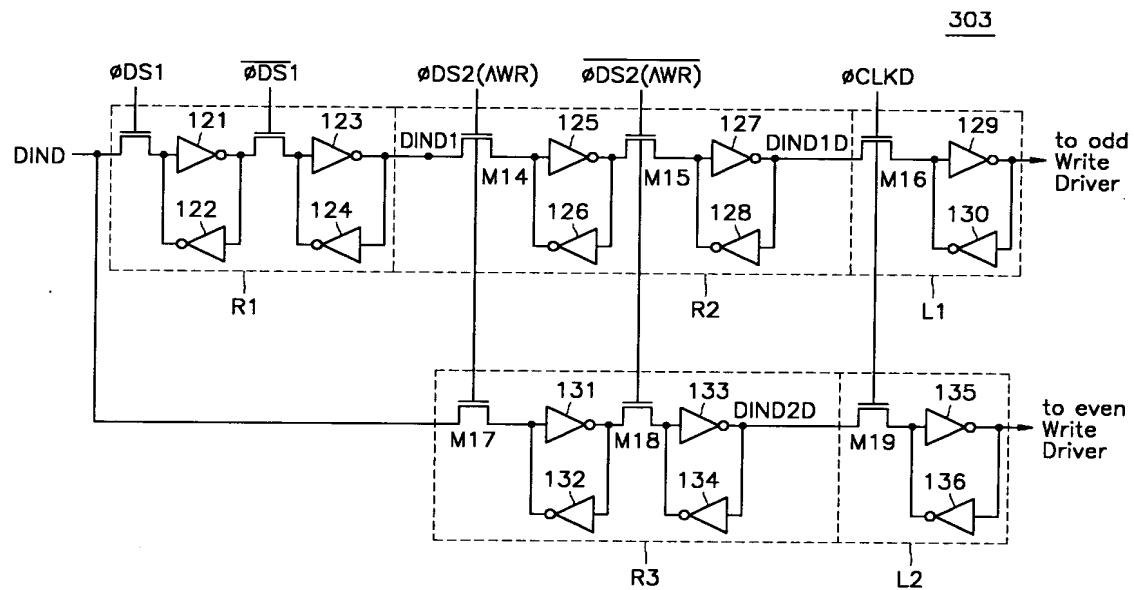
상기 제 2클락신호에 응답하여 상기 제 2래치회로의 출력신호와 최종적으로 수신된 데이터를 래치하는 상기 제 1래치회로의 출력신호를 동시에 데이터 버스 라인으로 전송하는 출력회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【도면】

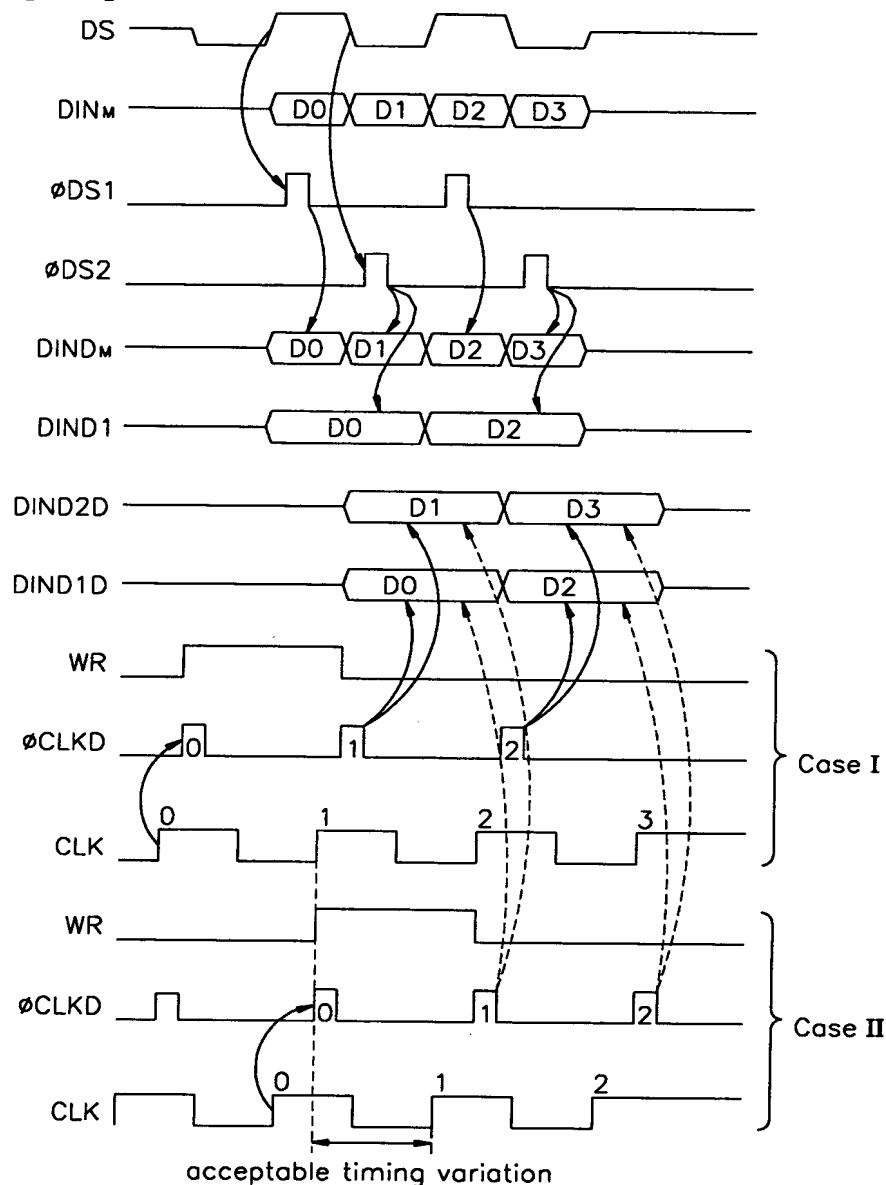
【도 1a】



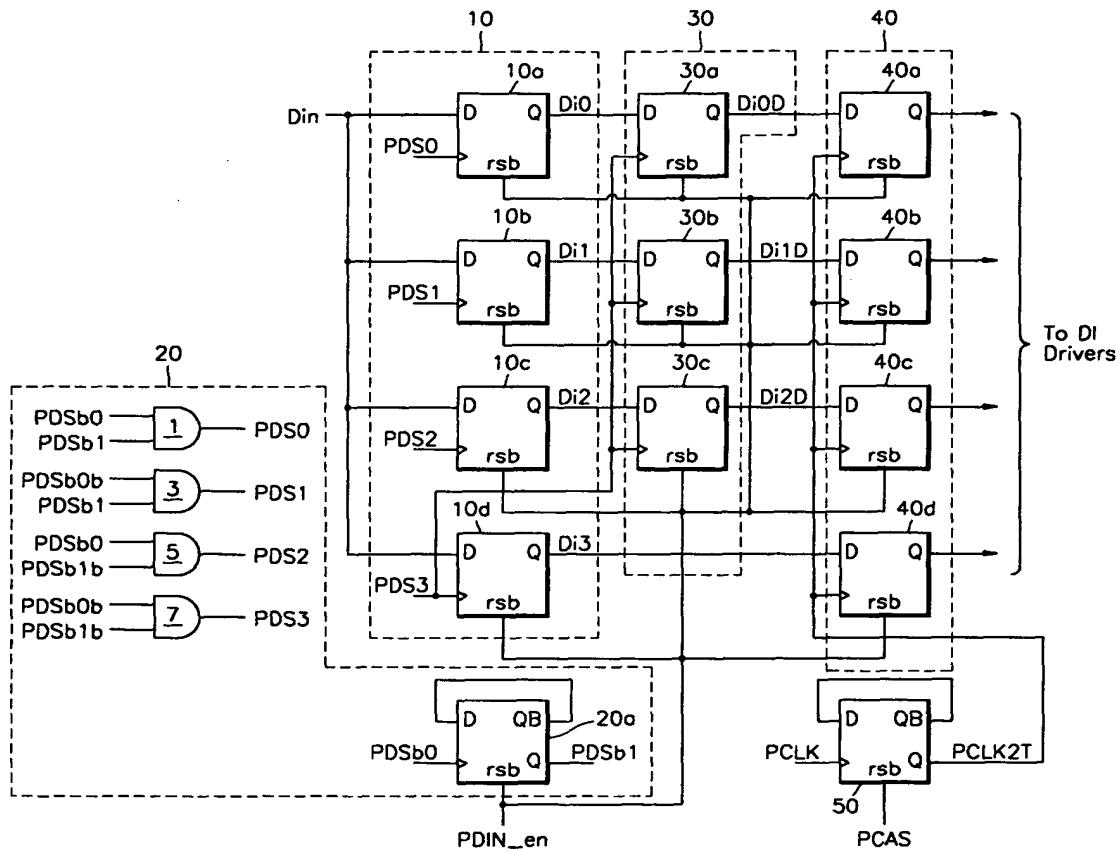
【도 1b】



【도 2】



【도 3】



【도 4】

